



ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΣΕΡΡΩΝ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΕΠΙΚΟΙΝΩΝΙΩΝ

**ΣΧΕΔΙΑΣΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ ΕΚΠΑΙΔΕΥΤΙΚΩΝ
ΑΝΑΠΤΥΓΜΑΤΩΝ ΜΕΛΕΤΗΣ ΨΗΦΙΑΚΩΝ
ΚΥΚΛΩΜΑΤΩΝ ΚΑΙ ΣΥΓΓΡΑΦΗ ΜΙΑΣ ΣΕΙΡΑΣ
ΕΡΓΑΣΤΗΡΙΑΚΩΝ ΑΣΚΗΣΕΩΝ ΓΙΑ ΑΥΤΑ**

Πτυχιακή Εργασία των
Λαδά Χριστίνα (Α.Ε.Μ. 2016)
Τσιμενίδη Στέφανου (Α.Ε.Μ. 1103)

Επιβλέπων: Μαδεμλής Ιωάννης, Εργαστηριακός Συνεργάτης

ΣΕΡΡΕΣ, ΜΑΪΟΣ 2013

ΥΠΕΥΘΥΝΗ ΔΗΛΩΣΗ:

Βεβαιώνουμε ότι είμαστε συγγραφείς αυτής της πτυχιακής εργασίας και ότι κάθε βοήθεια την οποία είχαμε για την προετοιμασία της είναι πλήρως αναγνωρισμένη και αναφέρεται στην πτυχιακή εργασία. Επίσης έχουμε αναφέρει τις όποιες πηγές από τις οποίες κάναμε χρήση δεδομένων, ιδεών ή λέξεων, είτε αυτές αναφέρονται ακριβώς είτε παραφρασμένες. Επίσης βεβαιώνουμε ότι αυτή η πτυχιακή εργασία προετοιμάστηκε από εμάς προσωπικά, ειδικά για τις απαιτήσεις του προγράμματος σπουδών του Τμήματος Πληροφορικής & Επικοινωνιών του Τ.Ε.Ι. Σερρών.

Λαδά Χριστίνα

Στέφανος Τσιμενίδης

ΠΕΡΙΛΗΨΗ

Στην παρούσα πτυχιακή εργασία δημιουργήθηκε μια σειρά από εκπαιδευτικά αναπτύγματα πάνω στα ψηφιακά κυκλώματα. Υλοποιήθηκαν τα κυκλώματα αυτά σε μορφή κατασκευής και συγγράφτηκαν κατάλληλες εργαστηριακές ασκήσεις για την μελέτη τους. Παράλληλα δημιουργήθηκαν σε ηλεκτρονική μορφή σε πρόγραμμα προσομοίωσης με σκοπό την καλύτερη κατανόηση και πρακτική εξάσκηση των φοιτητών στο συγκεκριμένο αντικείμενο.

Συγκεκριμένα:

- Σχεδιάσαμε και υλοποιήσαμε σε φυσική μορφή έναν αριθμό ψηφιακών κυκλωμάτων στα οποία περιλαμβάνονται:
 - Συνδυαστικά κυκλώματα: Λογικές πύλες, πολυπλέκτες-αποπολυπλέκτες, κωδικοποιητές-αποκωδικοποιητές, κυκλώματα αριθμητικών πράξεων
 - Ακολουθιακά κυκλώματα: Μανδαλωτές, Flip-Flop, απαριθμητές, καταχωρητές
 - Μνήμες. Κυκλώματα ανάγνωσης και εγγραφής μνημών SRAM
 - Μετατροπείς A/D και D/A
 - Κυκλώματα χρονισμού
- Υλοποιήσαμε τα κυκλώματα αυτά σε μορφή κατασκευής. Κατασκευάστηκαν 2 κουτιά, ένα για τα συνδυαστικά και ένα για τα ακολουθιακά κυκλώματα. Στην πρόσοψη του κάθε κουτιού υπάρχουν υποδοχές για τη σύνδεση των εισόδων και των εξόδων των κυκλωμάτων.
- Συγγράψαμε μια σειρά εργαστηριακών ασκήσεων για την μελέτη των κυκλωμάτων που περιλαμβάνονται στο εκπαιδευτικό ανάπτυγμα ώστε να μπορεί να χρησιμοποιηθεί από τους φοιτητές σαν εκπαιδευτικό βοήθημα και εποπτικό μέσο διδασκαλίας. Στις ασκήσεις περιλαμβάνεται θεωρητική εισαγωγή και εργαστηριακό μέρος.
- Τέλος, δημιουργήσαμε σε ηλεκτρονική μορφή, σε πρόγραμμα προσομοίωσης όπως το MultiSim, όλα τα ανωτέρω κυκλώματα για την πρακτική εξάσκηση των φοιτητών.

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΡΑΚΤΙΚΟ ΜΕΡΟΣ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ.....	7
ΚΕΦΑΛΑΙΟ 1. ΨΗΦΙΑΚΕΣ ΠΥΛΕΣ	
1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ	16
1.2 1 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	18
ΚΕΦΑΛΑΙΟ 2. ΠΟΛΥΠΛΕΚΤΗΣ	
2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....	20
2.2 2 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	20
ΚΕΦΑΛΑΙΟ 3. ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ	
3.1 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 to 4	
3.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ	22
3.1.2 3 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	22
3.2 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD to 7SEGMENT	
3.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ	23
3.2.2 4 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	24
ΚΕΦΑΛΑΙΟ 4. ΑΘΡΟΙΣΤΕΣ	
4.1 ΗΜΙΑΘΡΟΙΣΤΗΣ	
4.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....	26
4.1.2 5 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	26
4.2 ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ	
4.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....	27
4.2.2 6 ^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....	27

4.3 ΑΘΡΟΙΣΤΗΣ 4 BITS

4.3.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....28

4.3.2 7^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....29

ΚΕΦΑΛΑΙΟ 5. ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

5.1 ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

5.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....31

5.1.2 8^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....31

5.2 FLIP FLOP

5.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....32

5.2.2 D FlipFlop32

5.2.3 9^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....33

5.2.4 J-K FlipFlop.....34

5.2.5 10^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....34

5.2.6 T FlipFlop.....35

5.2.7 11^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....36

ΚΕΦΑΛΑΙΟ 6. ΑΠΑΡΙΘΜΗΤΕΣ

6.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....37

6.2 12^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....38

ΚΕΦΑΛΑΙΟ 7. ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ

7.1 ΚΑΤΑΧΩΡΗΤΗΣ 74LS194

7.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....39

7.1.2 13^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....39

ΚΕΦΑΛΑΙΟ 8. ΜΝΗΜΕΣ

8.1 ΣΤΑΤΙΚΗ RAM 8Χ4 BITS

8.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....41

8.1.2 14^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....42

ΚΕΦΑΛΑΙΟ 9. ΜΕΤΑΤΡΟΠΕΙΣ Α/D ΚΑΙ D/A

9.1 ΜΕΤΑΤΡΟΠΕΑΣ Α/D 8 BITS

9.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....44

9.2 ΜΕΤΑΤΡΟΠΕΑΣ D/A 4 BITS

9.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ.....45

9.3 15^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ.....45

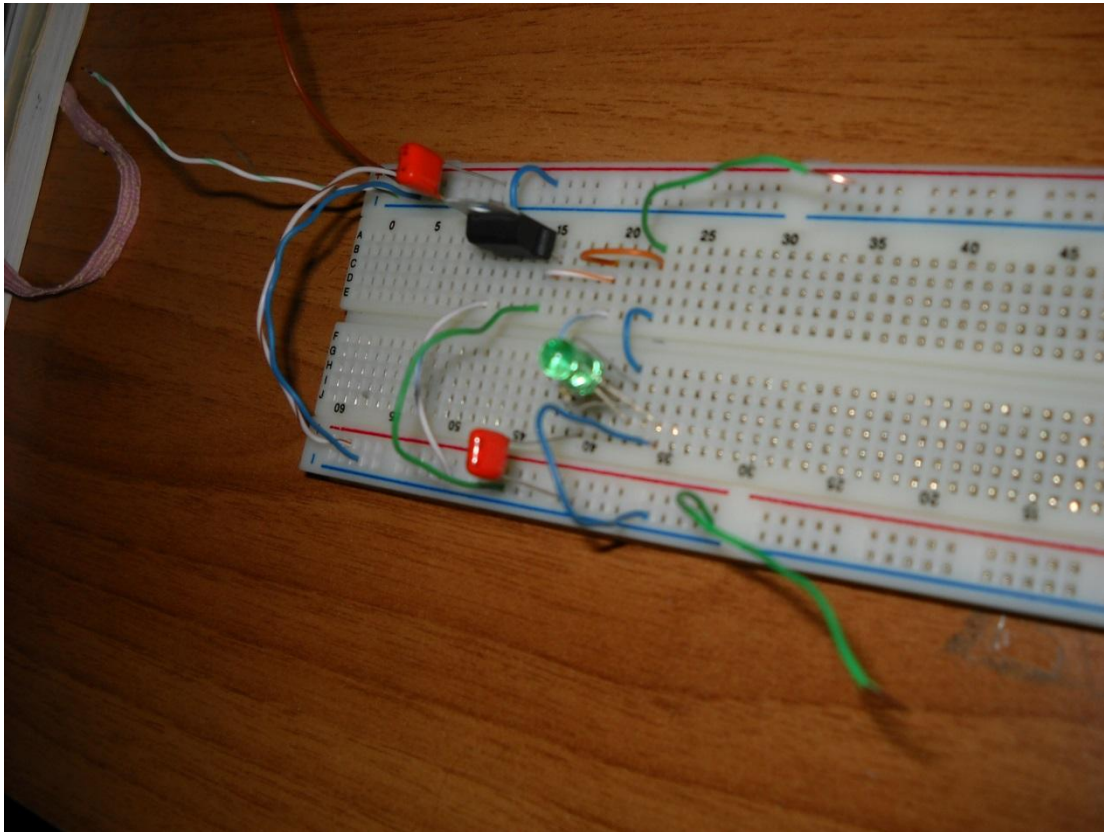
ΠΑΡΑΡΤΗΜΑ.....47

ΒΙΒΛΙΟΓΡΑΦΙΑ.....64

ΠΡΑΚΤΙΚΟ ΜΕΡΟΣ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

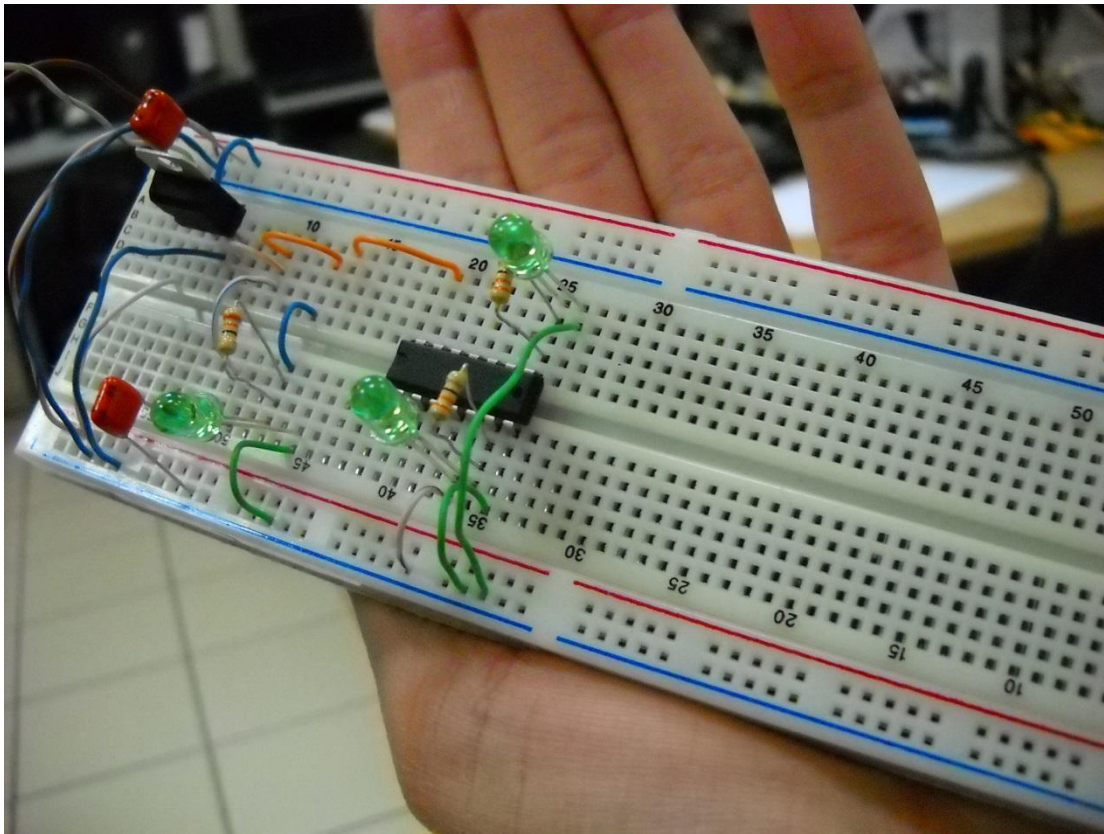
Το μεγαλύτερο μέρος υλοποίησης της πτυχιακής μας εργασίας είναι το κουτί που περιλαμβάνει την διάτρητη πλακέτα με τα chip. Πάνω στην πλακέτα αυτή έχουν τοποθετηθεί τα ολοκληρωμένα που προγραμματίστηκαν ώστε να δείχνουν ακριβώς την λειτουργία του κάθε κυκλώματος.

Αρχικά τοποθετήσαμε το ολοκληρωμένο 7805. Είναι αυτό το οποίο δέχεται τα 9 volt που δίνουμε από το τροφοδοτικό και με την κατάλληλη συνδεσμολογία τα μετασχηματίζει σε 5 volt. Είναι η βάση για όλα τα κυκλώματα καθώς όλα τα κυκλώματα τροφοδοτούνται από τα 5 volt που βγάζει στην έξοδο του.

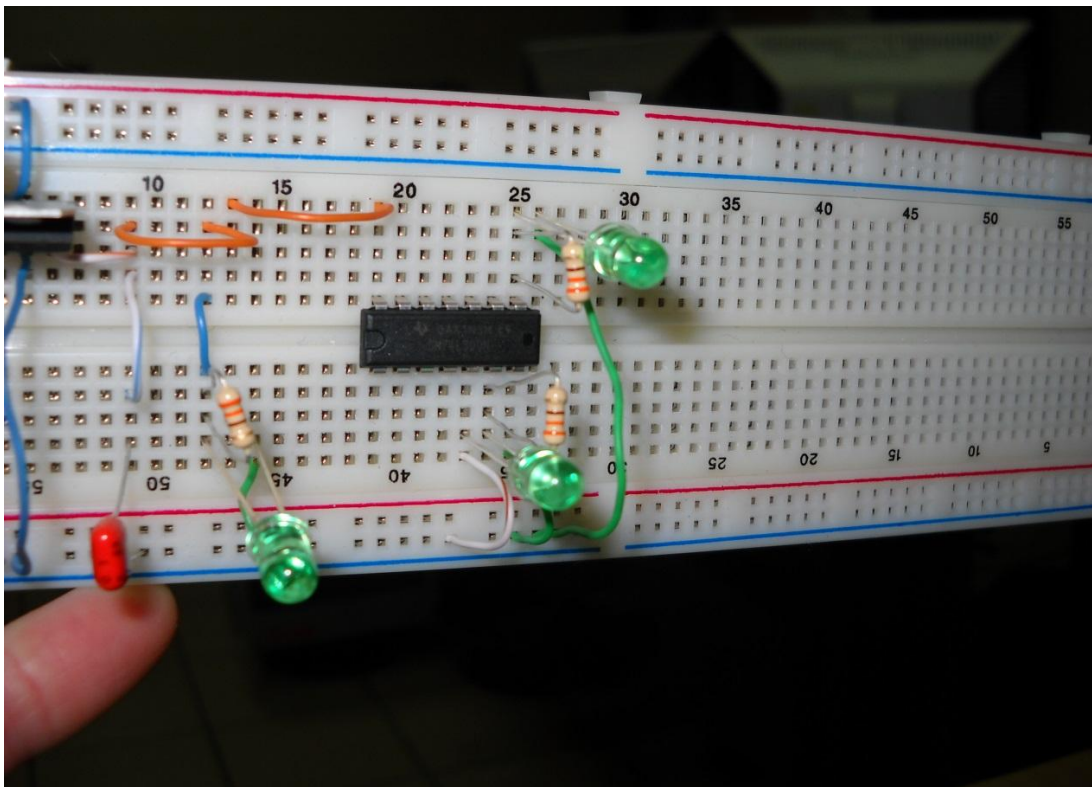


Το chip 7805 σε δοκιμαστική λειτουργία πάνω στο raster

Στην συνέχεια τοποθετήσαμε και τα υπόλοιπα ολοκληρωμένα. Τα chip αυτά πρώτα τοποθετήθηκαν και δοκιμάστηκαν πάνω σε raster για την καλύτερη κατανόηση τους και την αποφυγή λαθών.



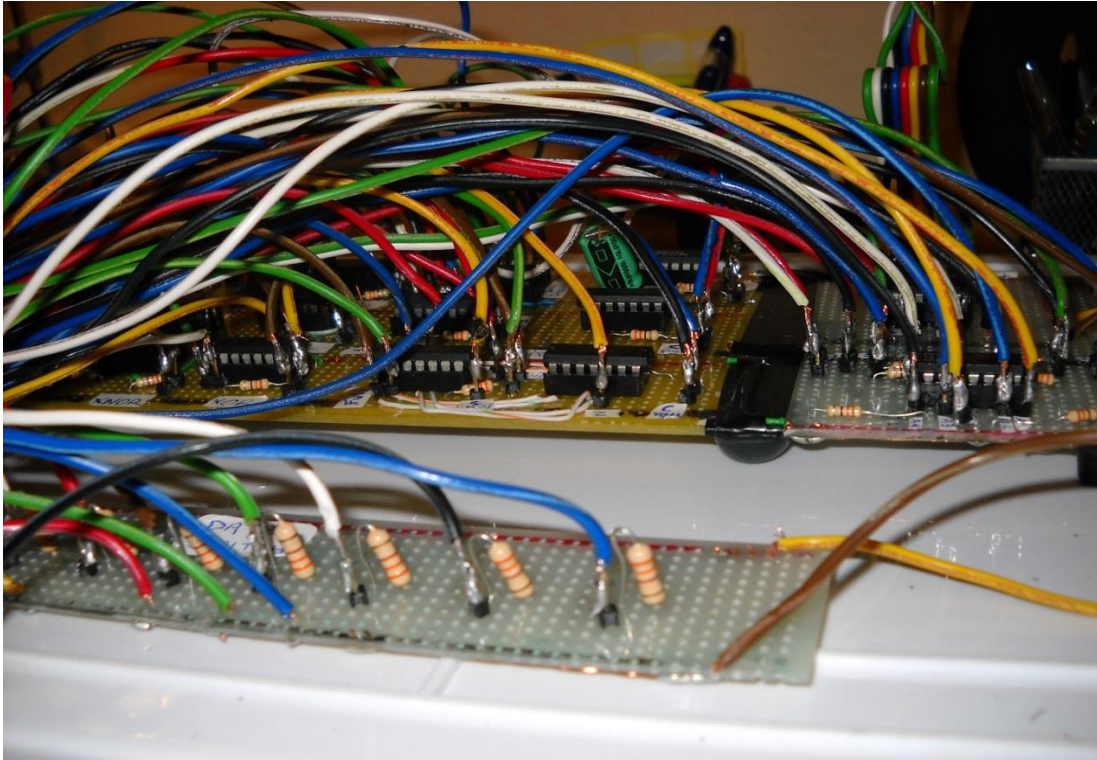
Υλοποίηση της NAND και AND χρησιμοποιώντας το 7400 chip



Υλοποίηση της NAND,AND χρησιμοποιώντας το chip 7400, από άλλη γωνία

Έπειτα προχωρήσαμε στην δημιουργία της διάτρητης πλακέτας και τοποθετήσαμε με κολλήσεις τα chips, leds, αντιστάσεις και όλα τα υπόλοιπα

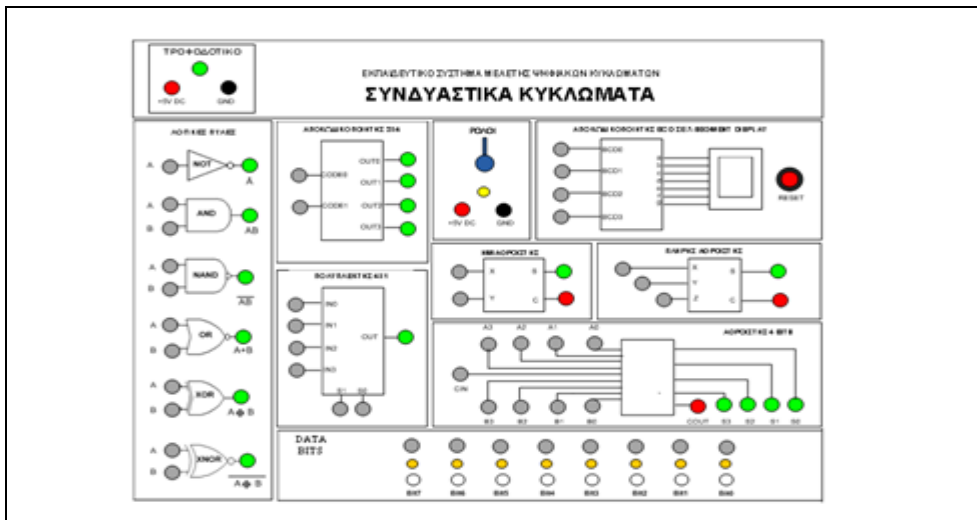
εξαρτήματα που απαιτούσε το κάθε ψηφιακό κύκλωμα. Μέσα στο κουτί υπάρχει ακόμα ένα μέρος της διάτρητης πλακέτας (ανεξάρτητο από την κεντρική) στο οποίο έχουν τοποθετηθεί τα switches (διακόπτες). Συνδέονται με την κεντρική πλακέτα και τροφοδοτούνται από αυτήν. Οι διακόπτες είναι αυτοί οι οποίοι δίνουν το λογικό 0 και 1 στα κυκλώματα για να μπορέσουμε να επαληθεύσουμε την λειτουργία τους.



Από καλύτερη οπτική γωνία τα chip και οι ενώσεις των pins. Φαίνεται επίσης η δεύτερη πλακέτα που περιέχει τις αντιστάσεις των switches

Όταν επιβεβαιώθηκε η ορθή λειτουργία των κυκλωμάτων πάνω και στην διάτρητη πλακέτα προχωρήσαμε στην κατασκευή και διαμόρφωση του κουτιού το οποίο περικλείει την πλακέτα με όλα της τα εξαρτήματα.

Στην πρόσοψη του κουτιού ήταν απαραίτητο να απεικονίζονται όλα τα ψηφιακά κυκλώματα που είχαμε τοποθετήσει στην πλακέτα. Για τον λόγο αυτό δημιουργήσαμε μέσω υπολογιστή με Microsoft Visio ένα σχέδιο που τα περιελάμβανε όλα. Εκτυπώσαμε το σχέδιο αυτό σε διαφανή αυτοκόλλητο και το τοποθετήσαμε στην πρόσοψη του κουτιού.

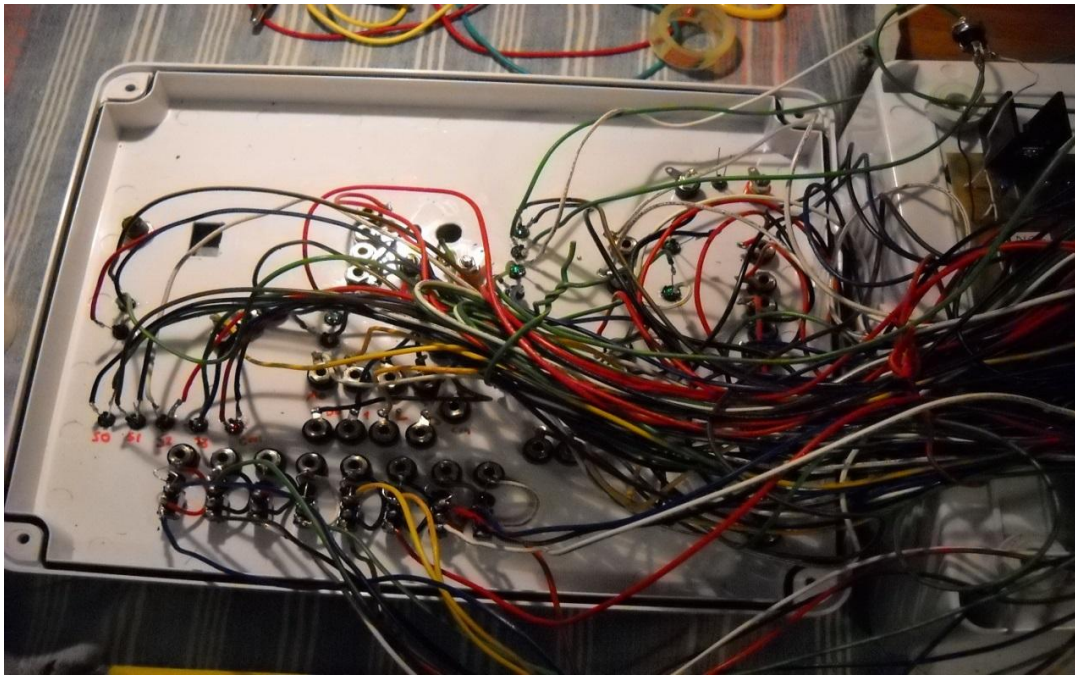


Στην συνέχεια αρχίσαμε να τρυπάμε σύμφωνα με το σχέδιο που είχαμε δημιουργήσει ώστε να τοποθετήσουμε τις μπόρνες για τις εισόδους των κυκλωμάτων, τα led για τις εξόδους, τα switch για την τροφοδοσία των κυκλωμάτων, το 7segment για την απεικόνιση των αριθμών του αποκωδικοποιητή 7 τομέων καθώς και το κουμπί reset και τέλος το ποτενσιόμετρο για να δίνει παλμό στα υπόλοιπα κυκλώματα.



Το κουτί σε δοκιμαστική λειτουργία

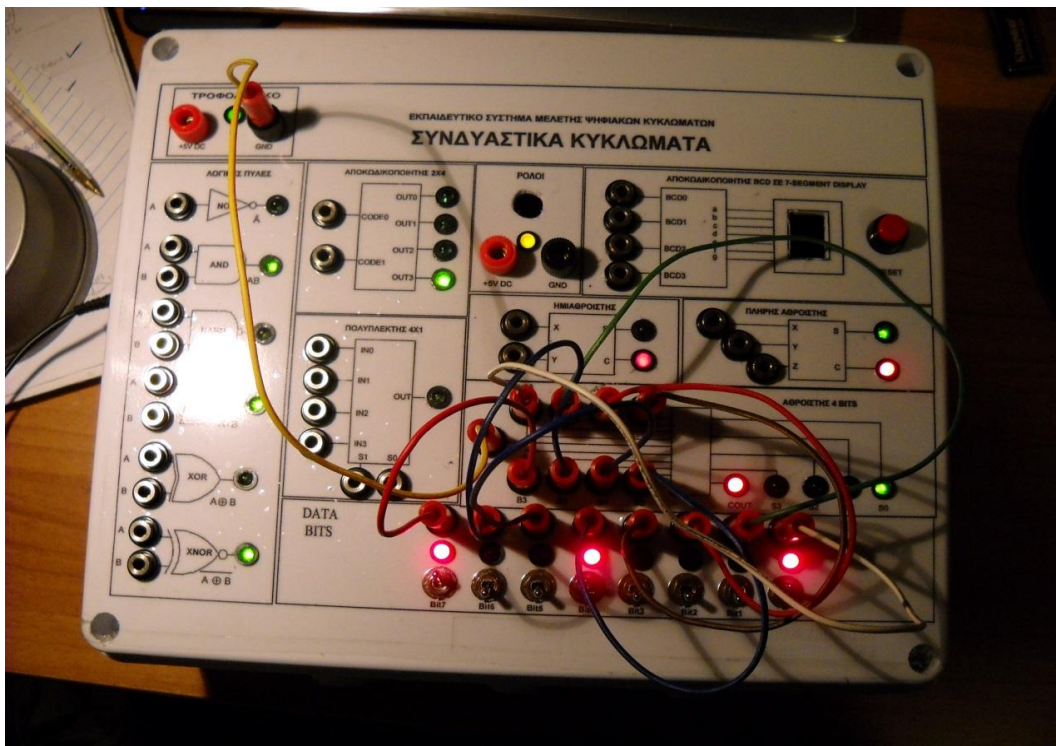
Το τελικό στάδιο ήταν να βγει στην επιφάνεια του κουτιού ότι υπήρχε πάνω στην πλακέτα. Επομένως έπρεπε να συνδέσουμε τα εξαρτήματα της πλακέτας με τα εξαρτήματα του κουτιού ώστε να μπορούμε πλέον να διαχειριζόμαστε και το κουτί.



Οι ενώσεις της πλακέτας με τα εξαρτήματα του κουτιού

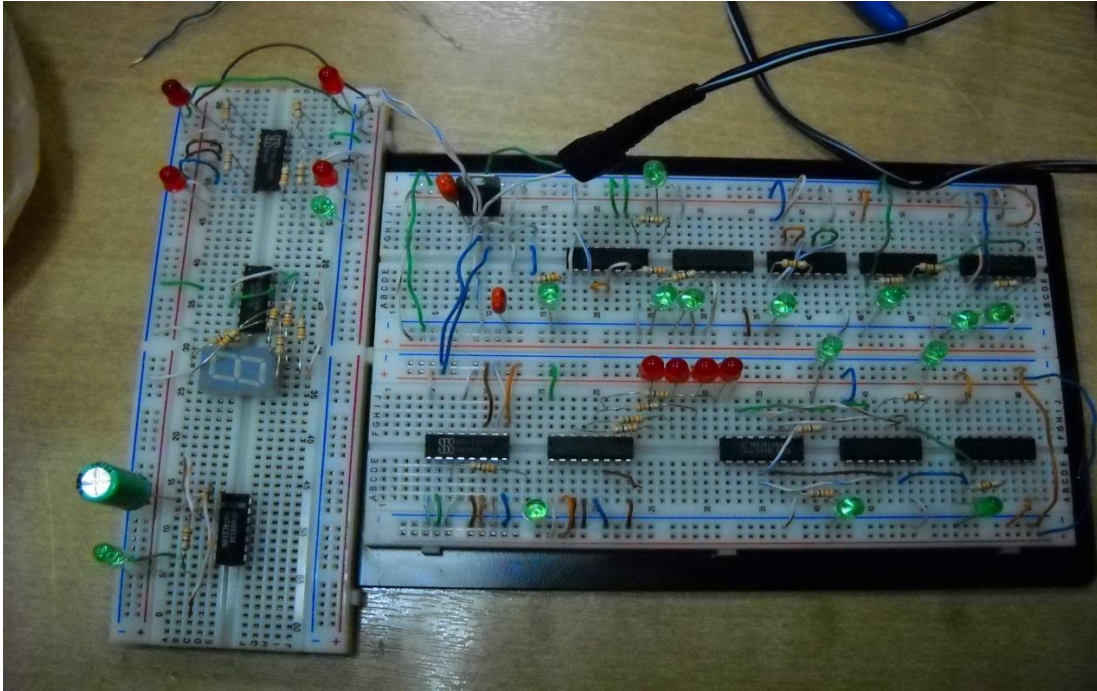
Λειτουργία κυκλώματος

Κατασκευάσαμε μπανάνες για να μπορούμε να δίνουμε εισόδους στα κυκλώματα. Μέσω αυτών συνδέουμε τα switches με οποιοδήποτε κύκλωμα θέλουμε να θέσουμε σε λειτουργία και επαληθεύοντας τον πίνακα αληθείας του κάθε κυκλώματος μπορούμε να ελέγξουμε αν μας δίνει η όχι σωστό αποτέλεσμα.

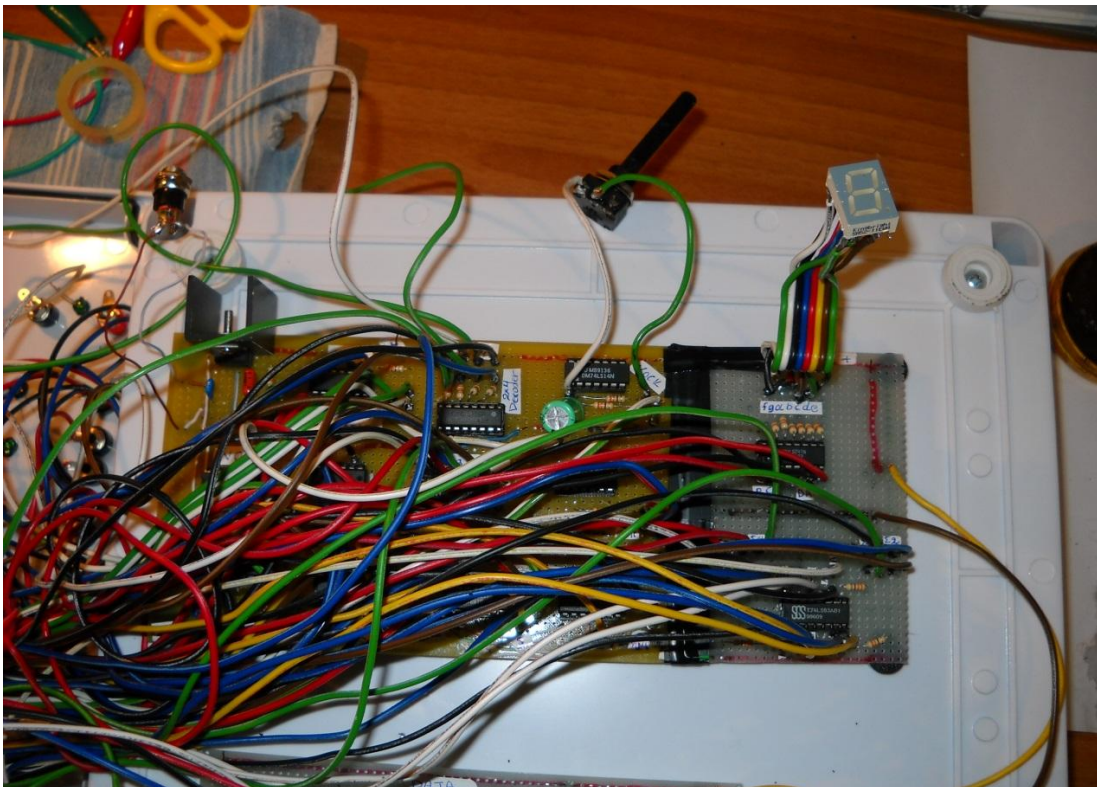


Τοποθετημένες οι μπανάνες στο κύκλωμα του πλήρη αθροιστή μας δείχνουν την λειτουργία του

Μερικές ακόμα φωτογραφίες:

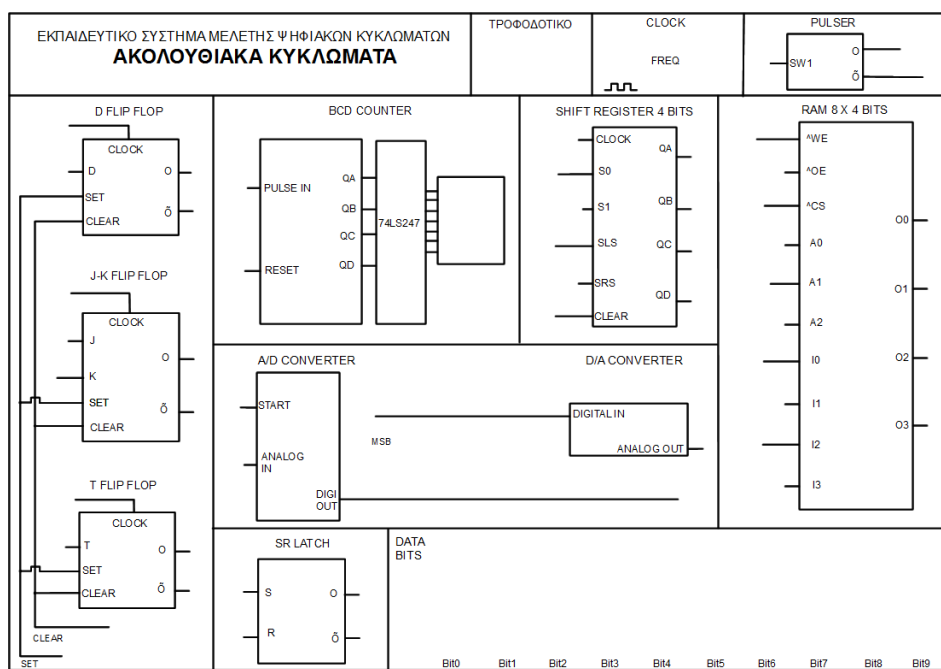
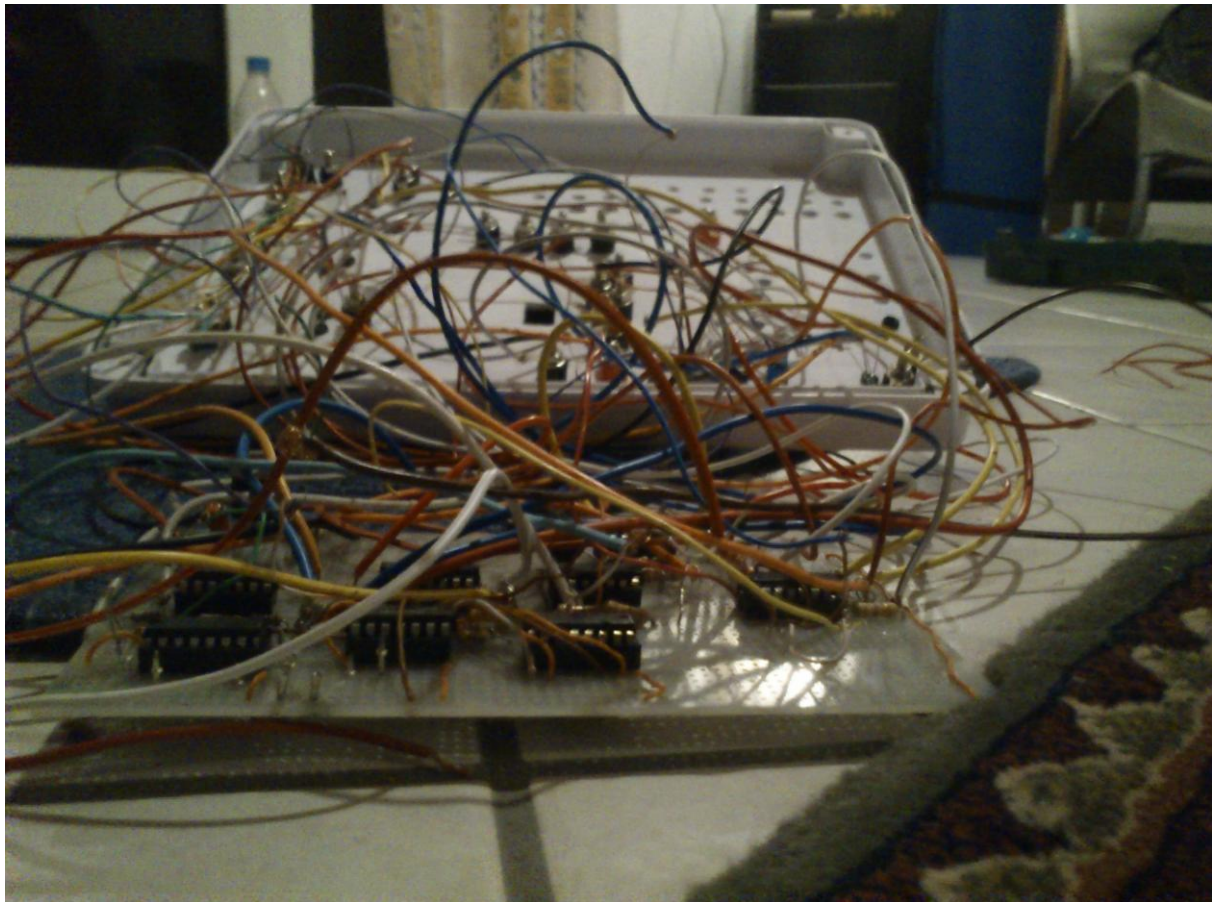


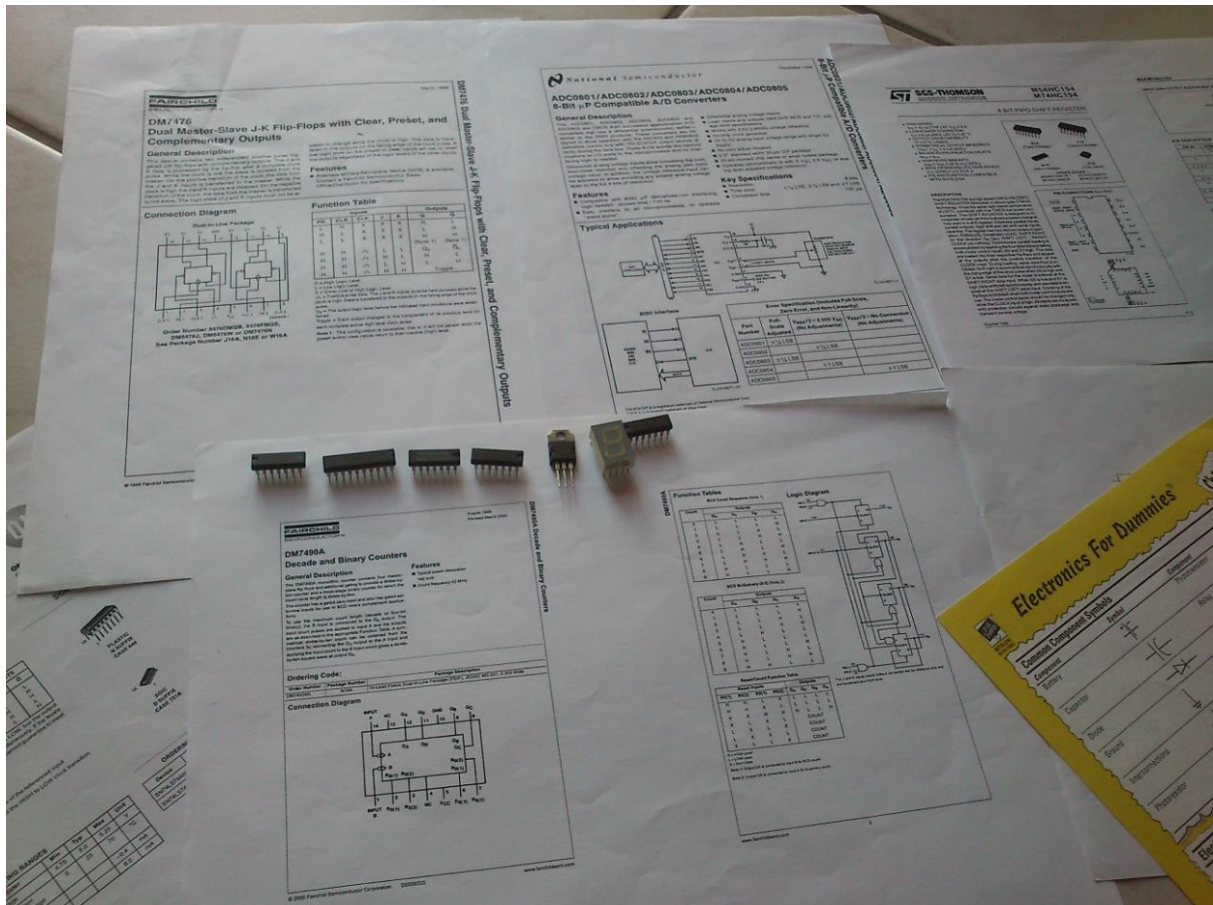
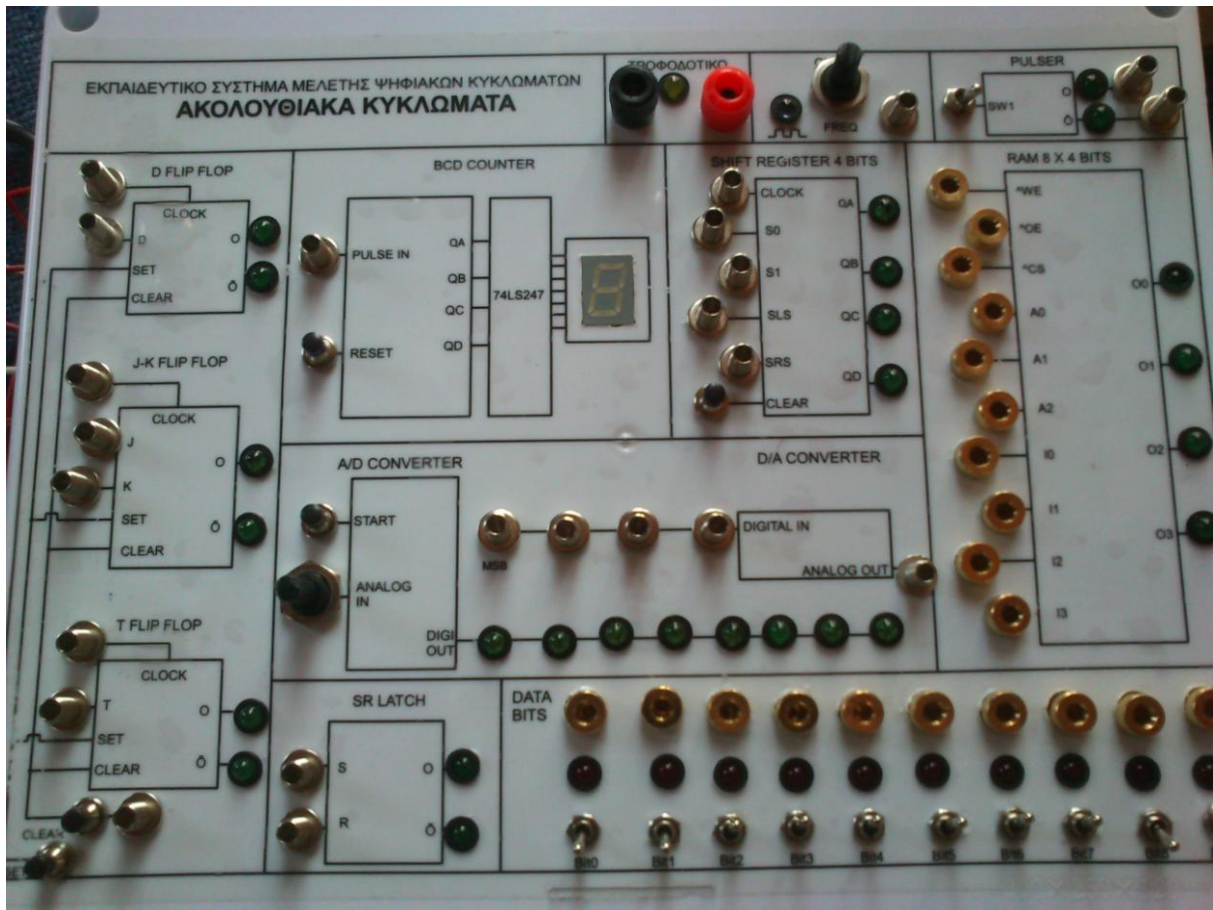
Όλα τα chip μαζί πάνω στο raster

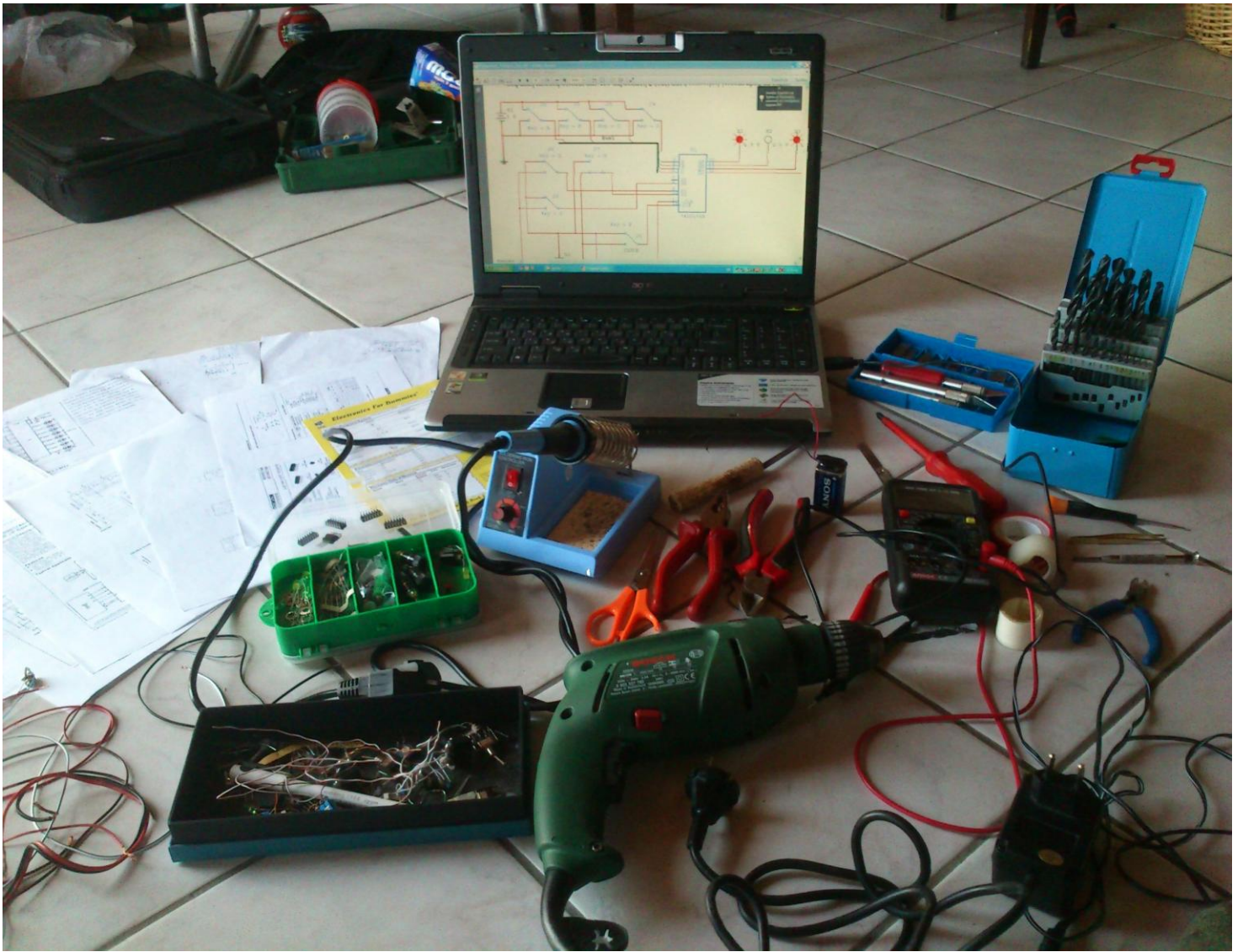


Η διάτρητη πλακέτα με chip. Φαίνεται επίσης το ποτενσιόμετρο και 7 segment κοινής ανόδου.

Η ίδια διαδικασία ακολουθήθηκε και για το κουτί των Ακολουθιακών Κυκλωμάτων.







ΚΕΦΑΛΑΙΟ 1

ΨΗΦΙΑΚΕΣ ΠΥΛΕΣ

1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Το ηλεκτρικό κύκλωμα που εκτελεί μια λογική πράξη ονομάζεται λογική-ψηφιακή πύλη. Κάθε λογική πύλη αναπαριστάται με ένα σύμβολο. Οι είσοδοι μια τέτοιας πύλης είναι τα ψηφία 0 και 1 που παριστάνουν την αληθή και την ψευδή κατάσταση αντίστοιχα. Στην φυσική τους υπόσταση είναι 2 διακριτά επίπεδα ηλεκτρικής τάσης (5 Volt και 0 Volt). Κάθε λογική πύλη χαρακτηρίζεται από ένα πίνακα αληθείας. Παρακάτω αναλύεται η κάθε μια λογική πύλη ξεχωριστά.

NOT

Η πύλη NOT είναι η ψηφιακή πύλη που αντιστρέφει το σήμα εισόδου. Δηλαδή με 0 στην είσοδο, το αποτέλεσμα που θα δώσει θα είναι το λογικό 1 και με 1 στην είσοδο θα δώσει αντίστοιχα λογικό 0 στην έξοδο.

Το σύμβολο της NOT:



Ο πίνακας αληθείας της NOT:

A	A'
0	1
1	0

Και η λογική συνάρτηση : $Z = \bar{A}$

AND

Η λογική της πύλης AND είναι να δίνει έξοδο αληθή μόνο όταν οι 2 είσοδοι της είναι αληθείς.

Το σύμβολο της AND:

Ο πίνακας αληθείας της AND:

A	B	Z
0	0	0
0	1	0



1	0	0
1	1	1

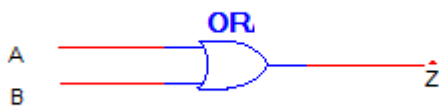
Και η λογική συνάρτηση : $Z = A \cdot B$

OR

Η πύλη OR δίνει αληθή αποτέλεσμα εάν μια από τις 2 εισόδους ή και οι δύο είναι αληθείς.

Το σύμβολο της OR:

Ο πίνακας αληθείας της OR:



A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

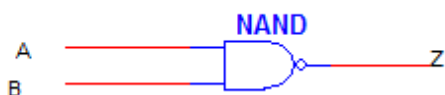
Και η λογική συνάρτηση είναι : $Z = A + B$

NAND

Η πύλη NAND είναι η αντίστροφη της πύλης AND. Δηλαδή η έξοδος είναι πάντα αληθείς εκτός από την περίπτωση που οι 2 εισοδοι είναι και αυτές αληθείς. Τότε δίνει ψευδή αποτέλεσμα.

Το σύμβολο της NAND:

Ο πίνακας αληθείας της NAND:



A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

Και η λογική συνάρτηση είναι : $Z = \overline{A \cdot B}$

XOR

Η λογική της πύλης XOR είναι ότι δίνει αληθή έξοδο μόνο σε διαφορετικούς συνδυασμούς εισόδων(0,1 και 1,0). Στην περίπτωση που οι εισοδοι είναι ίδιοι τότε το αποτέλεσμα είναι ψευδές.

Το σύμβολο της XOR:



Ο πίνακας αληθείας της XOR:

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

Και η λογική συνάρτηση : $Z = A \oplus B$

XNOR

Η πύλη XNOR είναι η αντίστροφη της πύλης XOR. Η λογική της είναι να δίνει αληθή αποτέλεσμα μόνο σε όμοιο συνδυασμό εισόδων(0,0 και 1,1). Ειδάλλως δίνει ψευδή αποτέλεσμα

Το σύμβολο της XNOR:



Ο πίνακας αληθείας της XNOR:

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1

Και η λογική συνάρτηση : $Z = \overline{A \oplus B}$

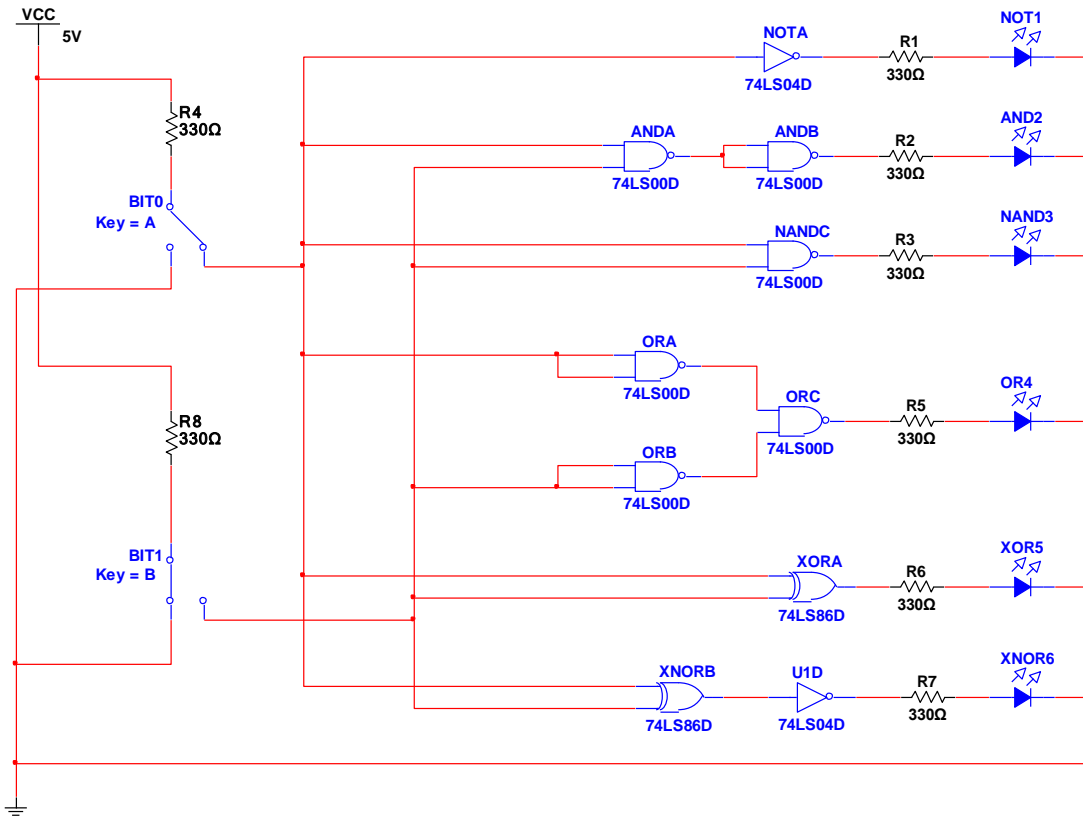
1.2 1^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Στο παρακάτω κύκλωμα φαίνεται η λειτουργία των λογικών πυλών που προαναφέρθηκαν .

ΠΡΟΣΟΧΗ: Παρατηρούμε πως στο 2^ο κατά σειρά κύκλωμα απεικονίζεται η λειτουργία μίας πύλης AND. Παρόλα αυτά το λογικό σύμβολο που χρησιμοποιείται

είναι της πύλης NAND. Αυτό γίνεται γιατί υπάρχουν και διαφορετικοί τρόποι αναπαράστασης των πυλών. Δηλαδή χρησιμοποιώντας 2 πύλες NAND με την παρακάτω συνδεσμολογία έχουμε το αποτέλεσμα που θα μας έδινε μία πύλη AND.

Ομοίως και στο 4^ο (OR) και 6^ο (XNOR) κατά σειρά κύκλωμα.



Να υλοποιηθεί το παραπάνω κύκλωμα στο Multisim και σε συνδυασμό με την θεωρητική περιγραφή των πυλών να συμπληρωθεί ο παρακάτω πίνακας:

NOT		AND		NAND		OR		XOR		XNOR	
IN	OUT	IN	OUT	IN	OUT	IN	OUT	IN	OUT	IN	OUT
0		00		00		00		00		00	
1		01		01		01		01		01	
-		10		10		10		10		10	
-		11		11		11		11		11	

Από τον παραπάνω πίνακα προκύπτει και ο πίνακας αληθείας για την κάθε ψηφιακή πύλη.

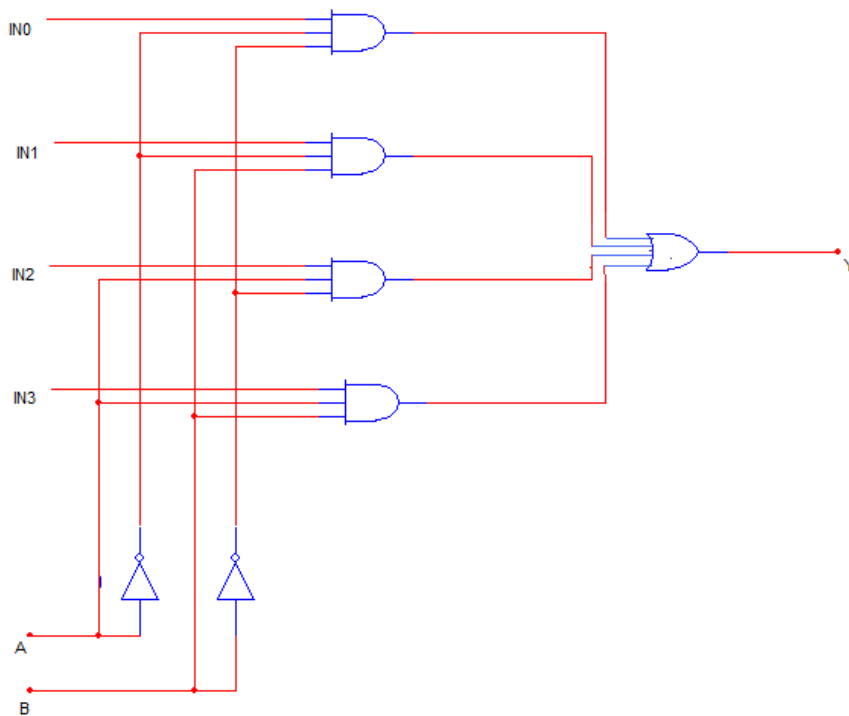
ΚΕΦΑΛΑΙΟ 2

ΠΟΛΥΠΛΕΚΤΗΣ

2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

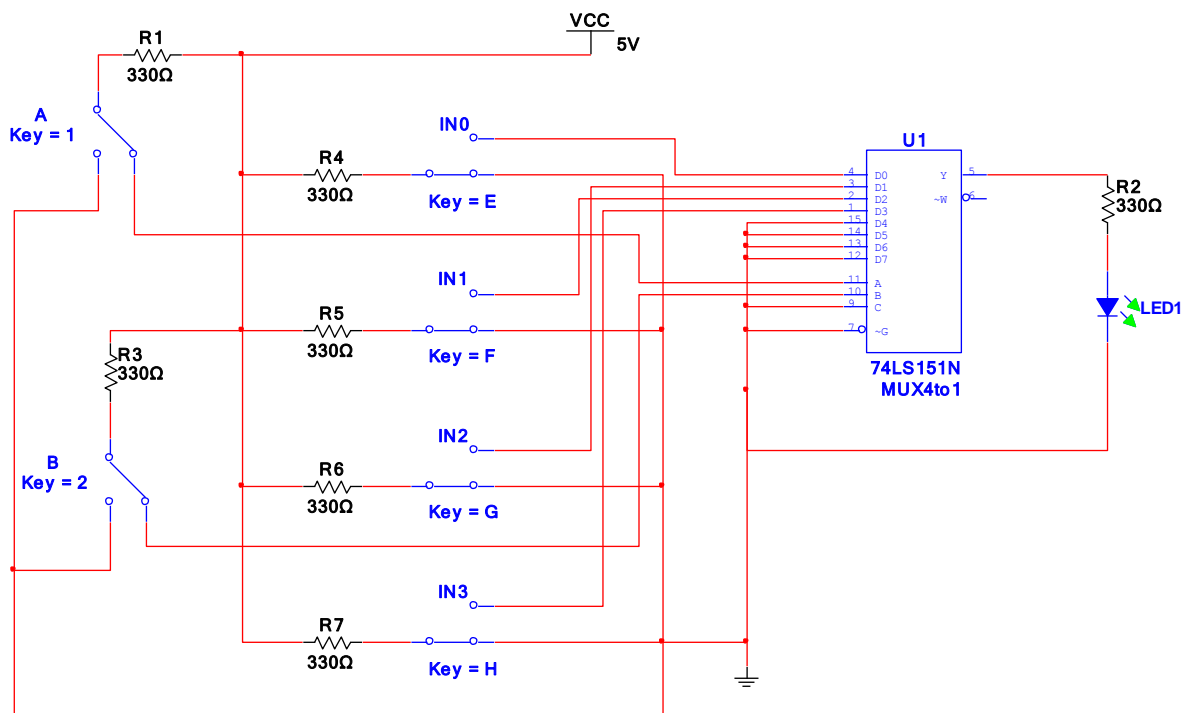
Ο πολυπλέκτης αποτελείται από n κανάλια εισόδου, s γραμμές επιλογής ($2^s=n$) και ένα μόνο κανάλι εξόδου. Η λειτουργία του είναι ανάλογα με των συνδυασμό των γραμμών επιλογής να επιλέγει μία από τις n εισόδους και να την οδηγεί στην έξοδο.

Συγκεκριμένα ο πολυπλέκτης 4X1 διαθέτει τις 4 εισόδους, 2 γραμμές επιλογής και 1 έξοδο. Παρακάτω φαίνεται το λογικό διάγραμμα ενός πολυπλέκτη:



2.2 2^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το κύκλωμα ενός πολυπλέκτη 8X1, χρησιμοποιώντας το 74ls151. Το συγκεκριμένο κύκλωμα αποτελείται από 8 εισόδους. Για να κατανοηθεί η λειτουργία ενός πολυπλέκτη 4 εισόδων οδηγούμε στην γείωση τις τέσσερις εισόδους και δουλεύουμε με τις υπόλοιπες τέσσερις .



A. Συμπληρώστε ποια είσοδος οδηγείται στην έξοδο αν βάλουμε τις παρακάτω τιμές στις γραμμές επιλογής. Από εδώ προκύπτει και ο πίνακας αληθείας του κυκλώματος:

A	B	Y
0	0	
0	1	
1	0	
1	1	

B. Στον παρακάτω πίνακα δίνονται οι τιμές των γραμμών επιλογής καθώς και το ποια είσοδος είναι ενεργοποιημένη κάθε φορά (βρίσκεται σε λογικό 1). Να συμπληρώσετε το αποτέλεσμα στην έξοδο Y του πολυπλέκτη.

A	B	Είσοδος =1	Y
0	0	IN1	
0	1	IN1	
1	1	IN0	
0	0	IN2	
1	0	IN2	
1	1	IN3	
0	0	IN0	
1	0	IN3	

ΚΕΦΑΛΑΙΟ 3

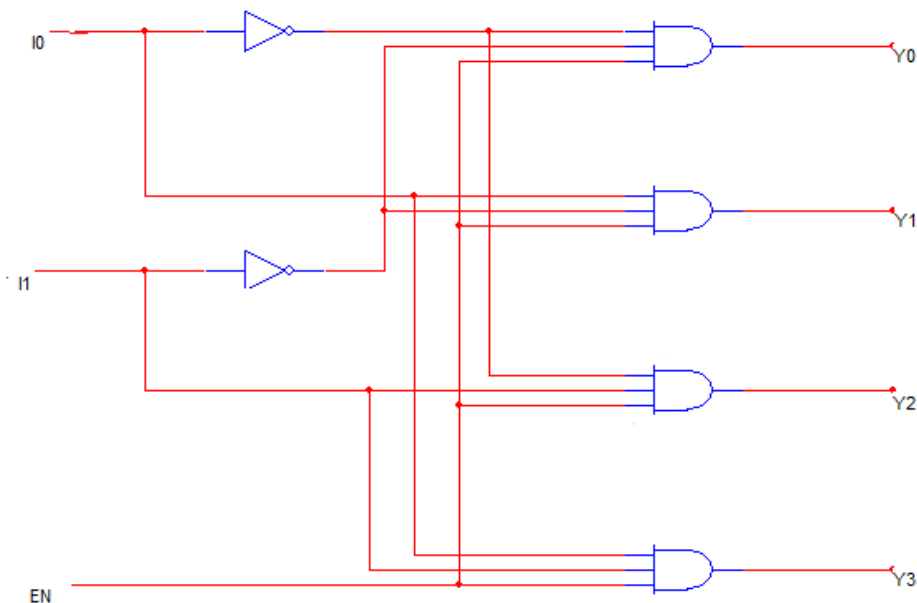
ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

3.1 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 to4

3.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

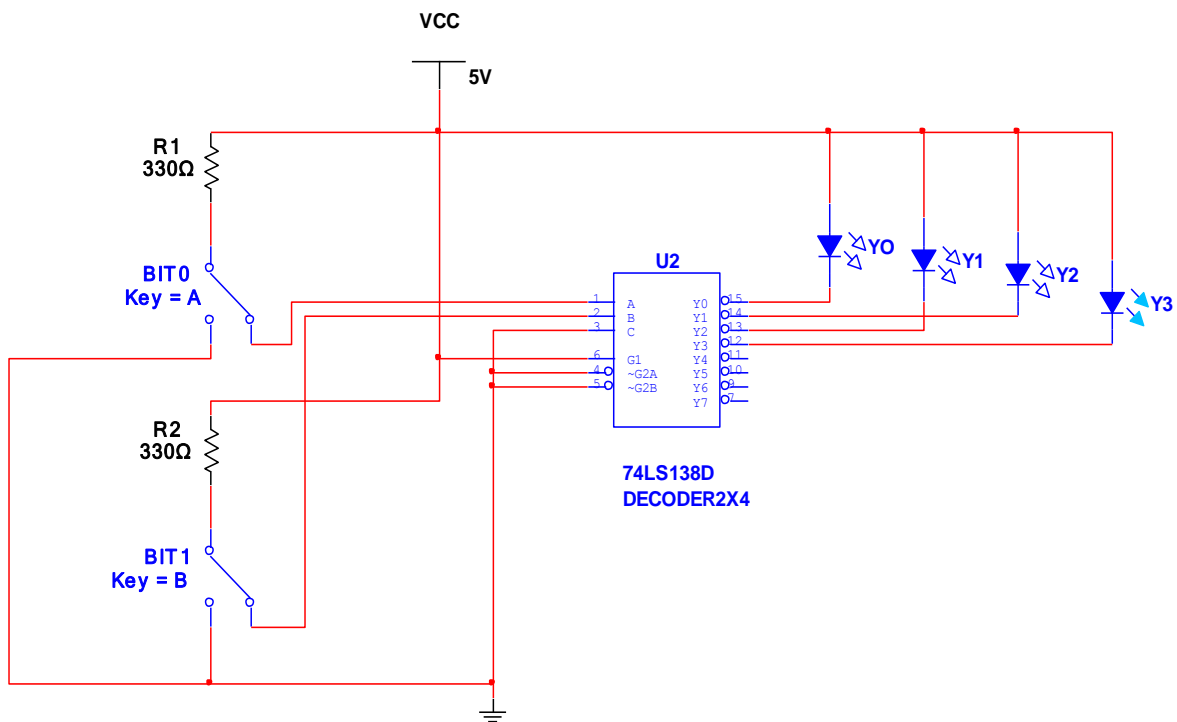
Ο αποκωδικοποιητής 2X4 είναι ένας δυαδικός αποκωδικοποιητής με n εισόδους και 2^n εξόδους. Η λογική του κυκλώματος είναι πως για κάθε συνδυασμό των n εισόδων, ο αποκωδικοποιητής επιλέγει μια από τις m εξόδους και την φέρνει σε λογικό 1 ενώ όλες οι υπόλοιπες παραμένουν σε λογικό 0.

Παρακάτω φαίνεται το λογικό διάγραμμα ενός δυαδικού αποκωδικοποιητή :



3.1.2 3^η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το παρακάτω κύκλωμα του αποκωδικοποιητή χρησιμοποιώντας το 74ls138 :



Να δοθούν όλοι οι δυνατοί συνδυασμοί εισόδων και να συμπληρωθούν τα αντίστοιχα αποτελέσματα στον παρακάτω πίνακα:

BIT0	BIT1	Y3	Y2	Y1	Y0

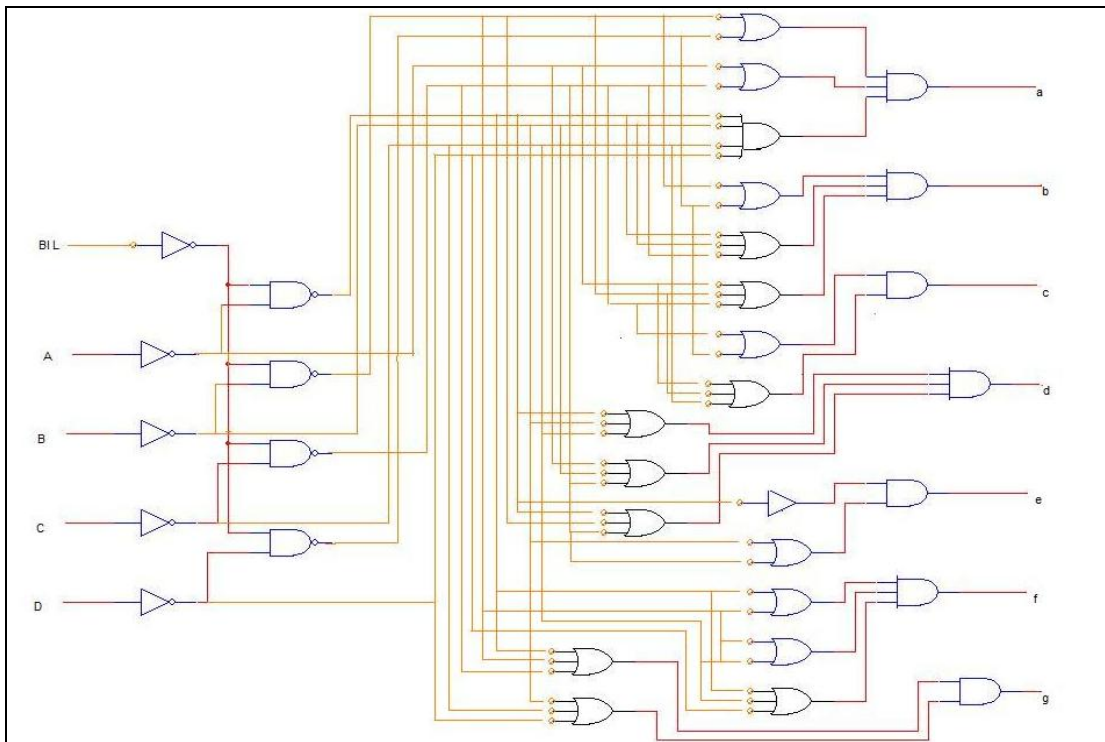
3.2 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCD to 7segment

3.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Ο αποκωδικοποιητής επτά τομέων χρησιμοποιεί μια ειδική διάταξη LED ώστε να αναπαραστήσει τους αριθμούς του δεκαδικού συστήματος καθώς και ορισμένα σύμβολα και γράμματα.

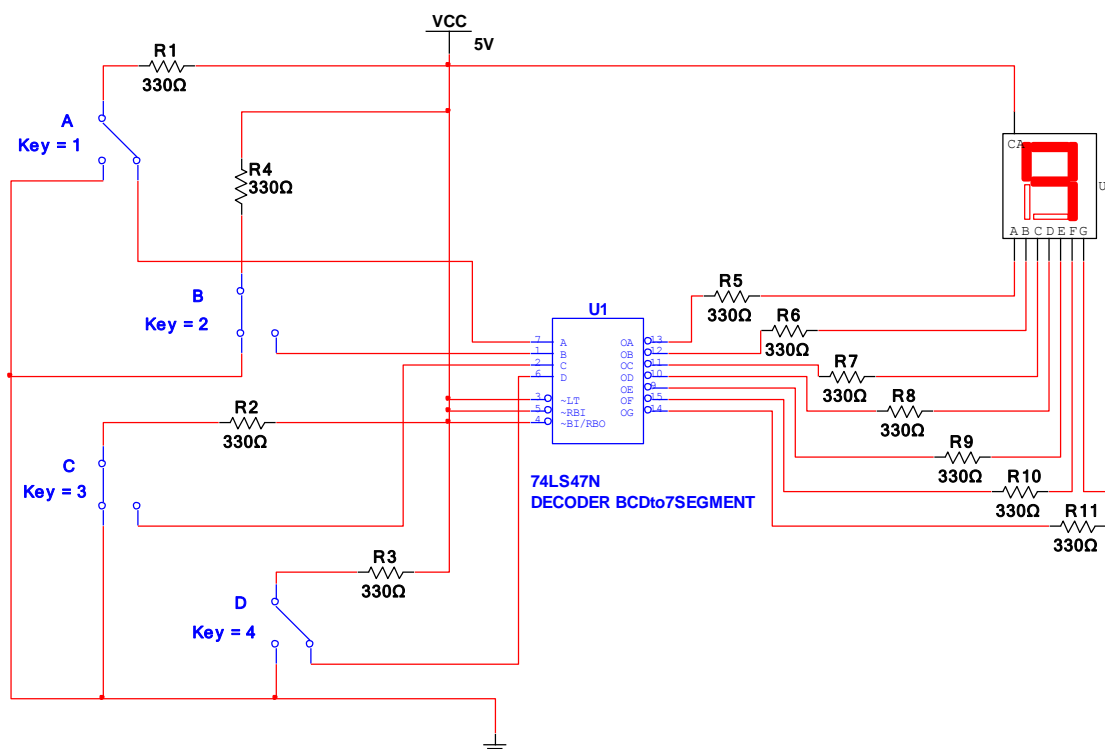
Λογική του κυκλώματος:

Χρησιμοποιεί 4 εισόδους όπου λαμβάνει κώδικα BCD. Μέσω των 7 εξόδων του οδηγεί το αποτέλεσμα που έχει αποκωδικοποιήσει στην οθόνη επτά τομέων. Το λογικό διάγραμμα ενός αποκωδικοποιητή επτά τομέων φαίνεται παρακάτω



3.2.2 4^η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το παρακάτω κύκλωμα χρησιμοποιώντας το 74ls47:



Για όλους τους δυνατούς συνδυασμούς εισόδων που αναγράφονται, να συμπληρώσετε τον παρακάτω πίνακα:

D	C	B	A	NUMBER
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

ΚΕΦΑΛΑΙΟ 4

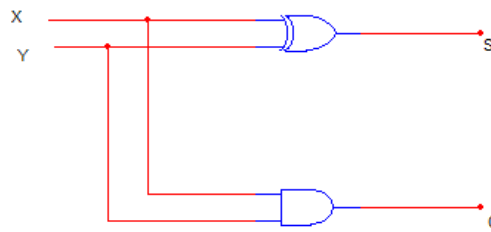
ΑΘΡΟΙΣΤΕΣ

4.1 ΗΜΙΑΘΡΟΙΣΤΗΣ

4.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

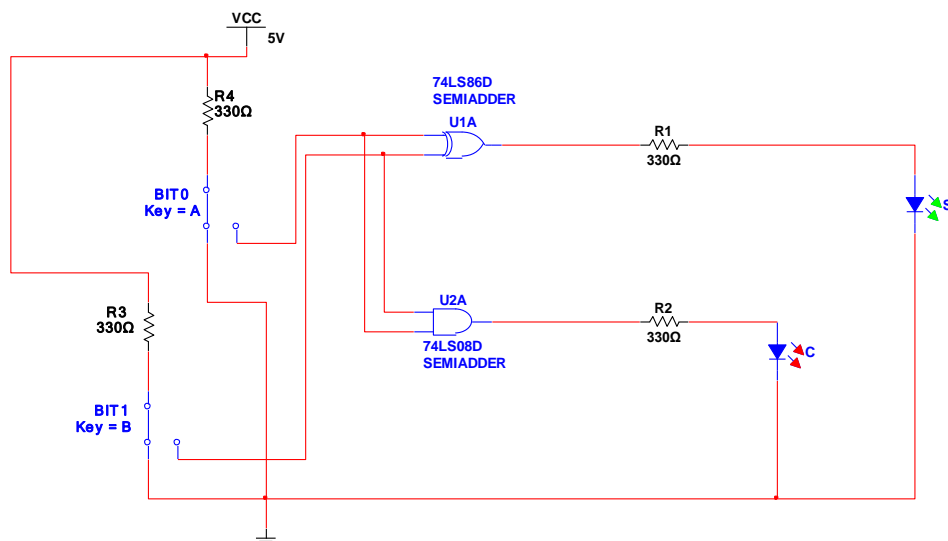
Ο ημιαθροιστής είναι ένα αριθμητικό κύκλωμα το οποίο εκτελεί την πρόσθεση δύο δυαδικών ψηφίων και παράγει ως έξοδο το άθροισμα και το κρατούμενο.

Το Λογικό διάγραμμα ενός ημιαθροιστή είναι :



4.1.2 5^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το παρακάτω σχηματικό διάγραμμα στο Multisim χρησιμοποιώντας τις πύλες 74ls86 και 74ls08:



Να εφαρμοσθούν οι 4 συνδυασμοί εισόδων στον παραπάνω κύκλωμα και να συμπληρώσετε τα αποτελέσματα του κρατούμενου(C) και του αθροίσματος (S) .

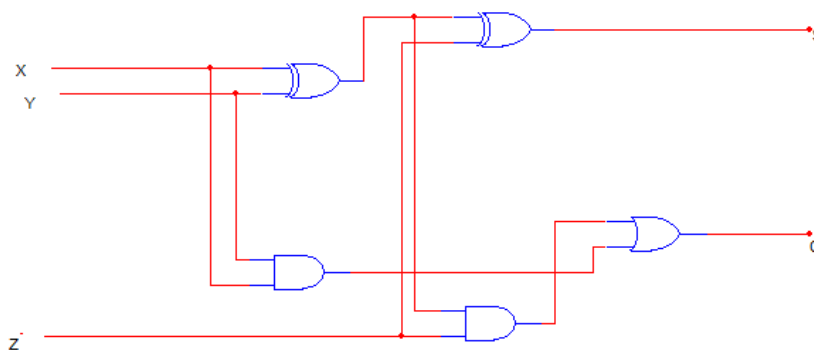
X	Y	C	S

4.2 ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ

4.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

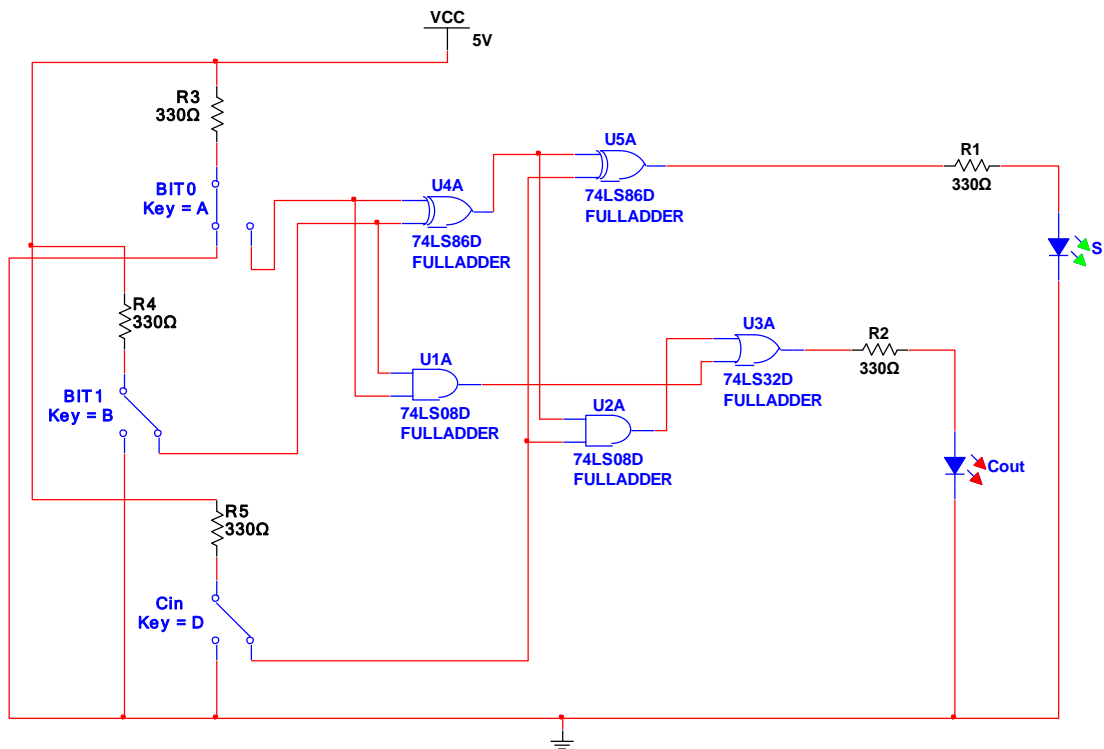
Ο πλήρης αθροιστής είναι ένα συνδυαστικό κύκλωμα που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων, όπως ακριβώς και ο ημιαθροιστής, με την διαφορά ότι εδώ λαμβάνει υπόψη την ύπαρξη κρατουμένου από προηγούμενη διάταξη.

Το λογικό διάγραμμα ενός πλήρη αθροιστή είναι:



4.2.2 6^η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το παρακάτω κύκλωμα του πλήρη αθροιστή χρησιμοποιώντας τις πύλες 74ls86, 74ls08 και 74ls32:



Εφαρμόζοντας στις εισόδους X(BIT0) και Y(BIT) καθώς και στο κρατούμενο εισόδου (Z) τα παρακάτω νούμερα, να σημειώσετε τα αποτελέσματα που προκύπτουν στο άθροισμα και στο κρατούμενο εξόδου:

X	Y	Z	C	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

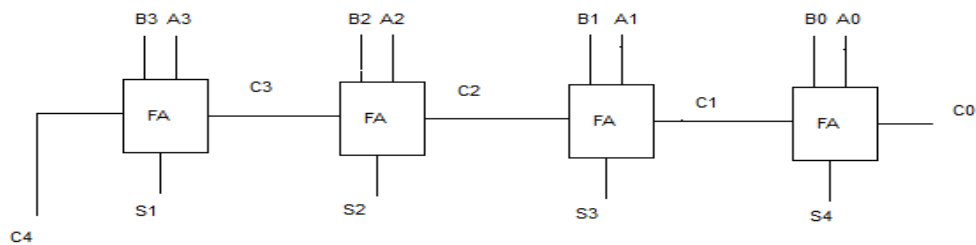
4.3 ΑΘΡΟΙΣΤΗΣ 4 BITS

4.3.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Πρόκειται για ένα κύκλωμα που υλοποιεί την πράξη μεταξύ 2 αριθμών των 4bits ο καθένας. Χρησιμοποιεί τον παράλληλο πλήρη αθροιστή με διάδοση κρατουμένου.

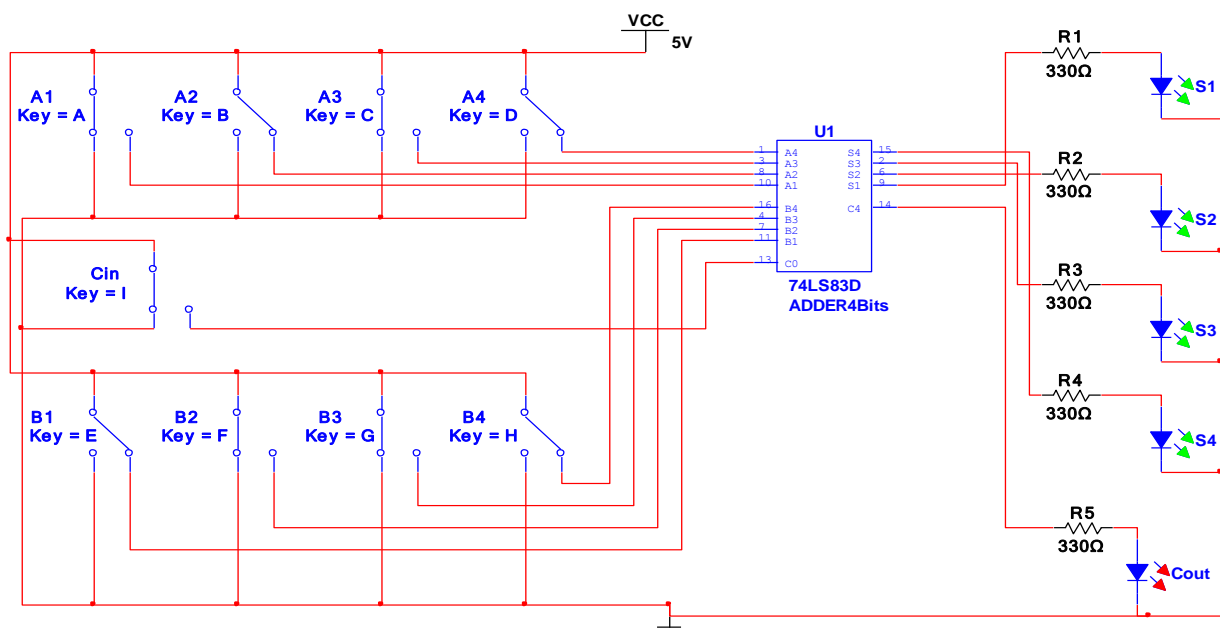
Η λογική του κυκλώματος είναι η εξής: Αποτελείται από 4 πλήρης αθροιστές που ο καθένας αθροίζει 2 bits. Το κρατούμενο που θα προκύψει από την άθροιση των 2 λιγότερων σημαντικών bits θα εφαρμοστεί ως είσοδος στο κρατούμενο του επόμενου αθροιστή. Ομοίως γίνεται και με τις υπόλοιπες βαθμίδες. Δηλαδή το κρατούμενο που θα προκύψει προωθείται στην επόμενη βαθμίδα και το επόμενο κρατούμενο στην παρακάτω βαθμίδα και ούτω κάθε εξής. Όταν ολοκληρωθούν οι βαθμίδες και εξακολουθεί να υπάρχει κρατούμενο, τότε αυτό είναι και το τελικό κρατούμενο (το Cout θα έρθει σε λογικό 1). Με τον τρόπο αυτό μπορούμε να δημιουργήσουμε και αθροιστές περισσότερων bits.

Παρακάτω φαίνεται το κύκλωμα ενός παράλληλου αθροιστή 4 bits, που επιβεβαιώνει την παραπάνω λειτουργία:



4.3.2 7^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Να υλοποιηθεί το παρακάτω κύκλωμα στο Multisim χρησιμοποιώντας το ολοκληρωμένο 74ls83:



Με βάση τις τιμές του παρακάτω πίνακα να σημειώσετε ποιο θα είναι το τελικό αποτέλεσμα και τι κρατούμενο θα υπάρξει.

Cin	A1	A2	A3	A4	B1	B2	B3	B4	S1	S2	S3	S4	Cout
0	0	1	0	1	1	0	0	1					
1	1	0	1	0	0	1	1	0					

Στην συνέχεια να γράψετε σε δεκαδική μορφή ποια ήταν τα νούμερα που προστέθηκαν και τα αποτελέσματα που πήρατε.

Cin	A	B	S	Cout

Να γίνει η πρόσθεση των παρακάτω αριθμών και να συμπληρώσετε τα αποτελέσματα:

Cin	A	B	S	Cout
0	4	6		
1	5	2		
1	3	8		
0	4	9		
0	14	15		

ΚΕΦΑΛΑΙΟ 5

ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

5.1 ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

5.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Σε αντίθεση με τα συνδυαστικά, οι έξοδοι των οποίων επηρεάζονται μόνο από τις τρέχουσες εισόδους, τα **ακολουθιακά** (sequential) κυκλώματα χρησιμοποιούν και εισόδους προηγούμενων στιγμών, έχουν δηλαδή κάποιου είδους **‘μνήμη.’**



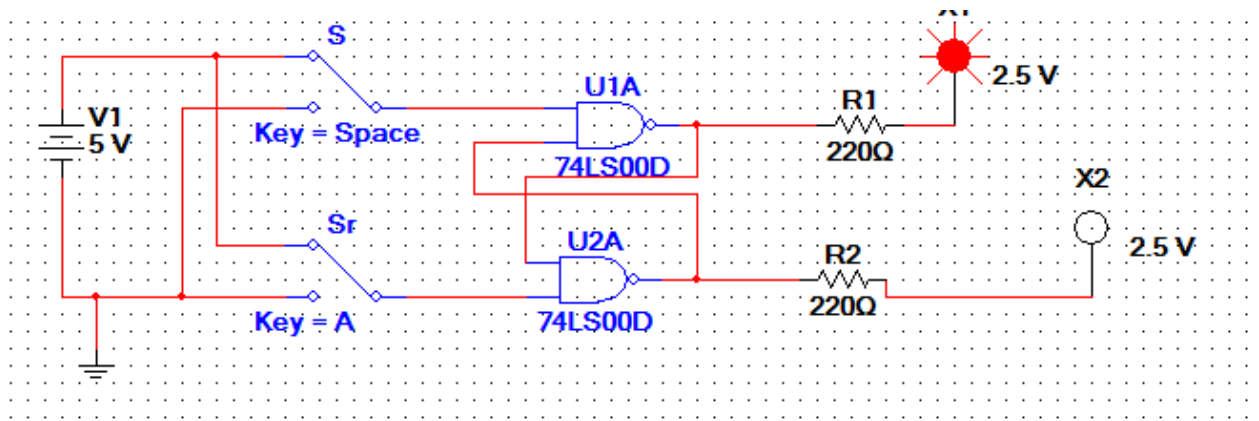
Αποτελούνται κυρίως από απλά συνδυαστικά κυκλώματα καθώς και επιπλέον στοιχεία μνήμης, τα οποία συνδέονται σε βρόχους ανάδρασης.

Χωρίζονται σε **ασύγχρονα**, τα οποία χρησιμοποιούν ως στοιχεία μνήμης μανδαλωτές (latches) που καθυστερούν (delay) τα σήματα ή και επανατροφοδοτούν κάποια απ' αυτά στις εισόδους με βρόχους ανάδρασης, και σε **σύγχρονα**, τα οποία χρησιμοποιούν flip-flops. Τα τελευταία ονομάζονται σύγχρονα επειδή μπορούν να ανταποκρίνονται σε μια γεννήτρια ρολογιού, και με αυτό τον τρόπο είναι δυνατό να συγχρονίζονται πολλά κυκλώματα μεταξύ τους.

5.1.2 8^η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Ο μανδαλωτής SR χρησιμοποιείται σε ασύγχρονα ακολουθιακά συστήματα, καθώς παρακολουθεί, και μπορεί να μεταβάλλει τις εξόδους του, οποιαδήποτε στιγμή. Υλοποιείται με πύλες NAND.

Σχεδιάστε τον μανδαλωτή του παρακάτω σχήματος στο MultiSim και επαληθεύστε τον πίνακα αληθείας του.



S	R	Q	\bar{Q}	Κατάσταση	
0	0	1	1	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη
0	1	1	0	Q=1	Ενεργοποίηση
1	0	0	1	Q=0	Μηδενισμός
1	1	0	1	Μετά από S=1 και R=0	Αμετάβλητη
1	1	1	0	Μετά από S=0 και R=1	Αμετάβλητη

5.2 FLIP-FLOP

5.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Το flip-flop είναι ένα σύγχρονο ακολουθιακό κύκλωμα, οι έξοδοι του οποίου ανταποκρίνονται στις εισόδους του όταν εφαρμόζονται παλμοί ρολογιού (Clock Pulses) σε μία είσοδο του flip-flop που ονομάζεται **είσοδος ρολογιού** (CP).

Οι πιο ευρέως χρησιμοποιούμενοι τύποι είναι τρεις:

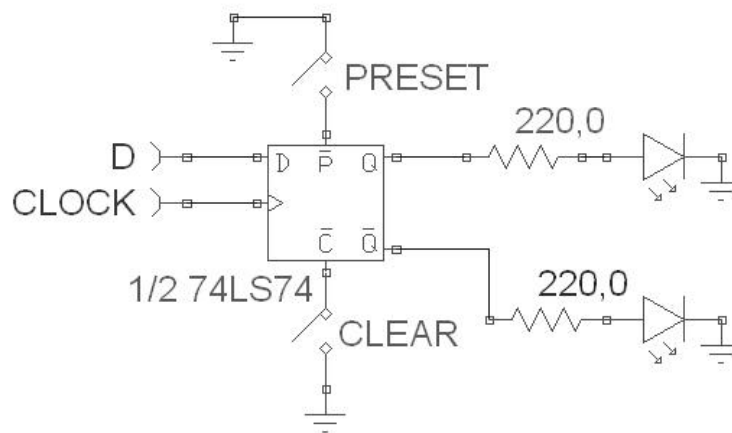
- D flip-flop
- J-K flip-flop
- T flip-flop

5.2.2 D FLIP-FLOP

Στο D flip-flop:

- Αν ο παλμός ρολογιού είναι CP=0, τότε το flip-flop δεν μπορεί να αλλάξει κατάσταση, ανεξάρτητα από την τιμή της εισόδου D.

- Αν ο παλμός του ρολογιού είναι CP=1, τότε η είσοδος D περνάει στην έξοδο. Η έξοδος παραμένει αμετάβλητη, διατηρώντας μνήμη της προηγούμενης κατάστασης.
Η έξοδος ανανεώνεται στον επόμενο θετικό παλμό του ρολογιού

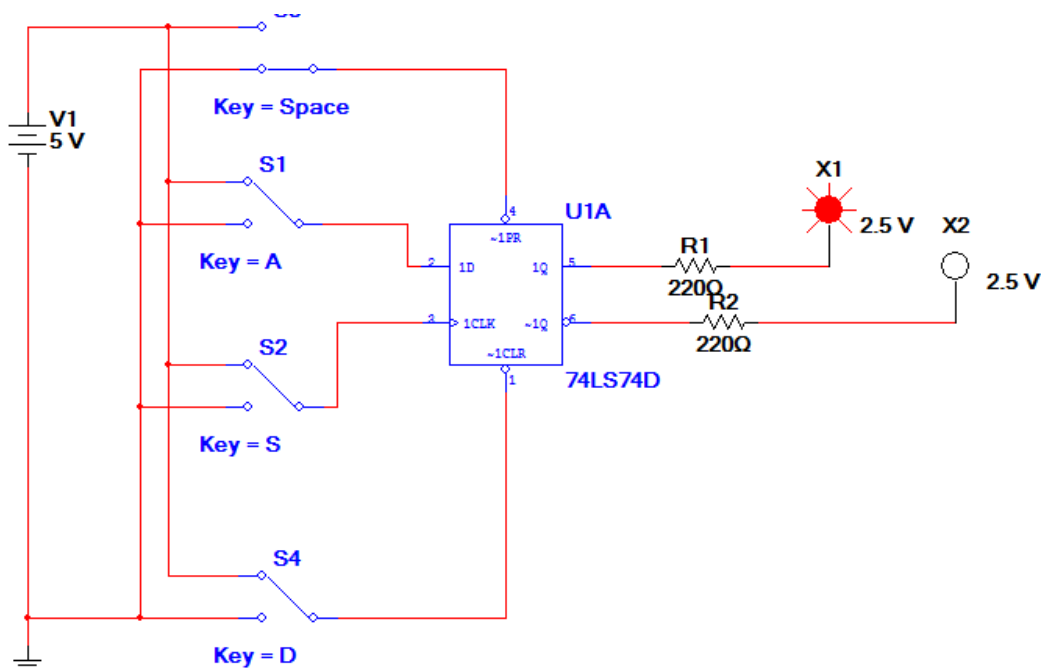


D	$Q_{(n+1)}$
0	0
1	1

Καταλαβαίνουμε πως το D flip-flop είναι ένα κύκλωμα που καθυστερεί τα δεδομένα, αφήνοντάς τα να περάσουν ακριβώς τη στιγμή που δέχεται παλμό.

5.2.3 9^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

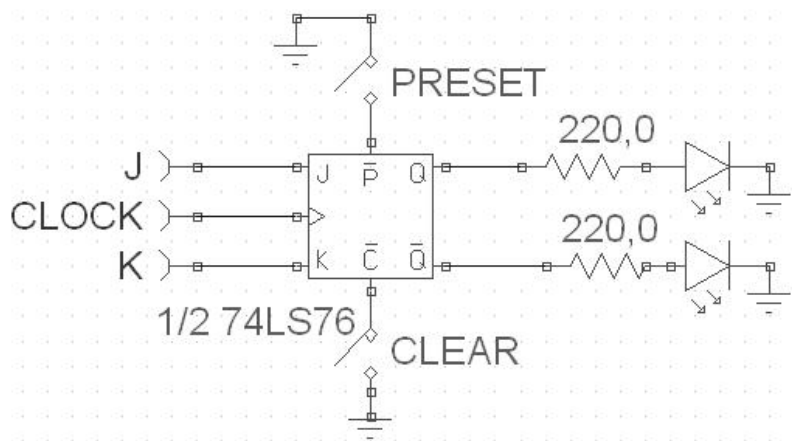
Υλοποιήστε το D flip-flop του παρακάτω σχήματος χρησιμοποιώντας το ολοκληρωμένο 74LS74, και επαληθεύστε την λειτουργία του.



5.2.4 J-K FLIP-FLOP

Στο J-K flip-flop:

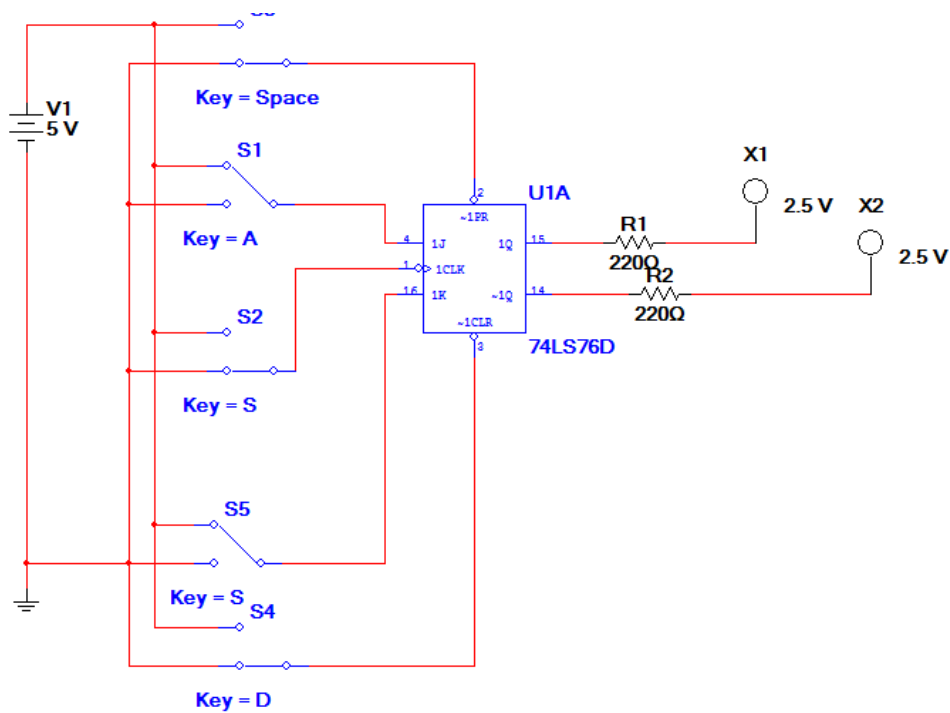
- Αν ο παλμός εισόδου είναι $CP=0$ ή $CP=1$, τότε το flip-flop δεν μπορεί να αλλάξει κατάσταση, ανεξάρτητα από την τιμή των εισόδων J και K
- Τη στιγμή που ο παλμός εισόδου CP μεταβαίνει από το 0 στο 1 (ή από το 1 στο 0, ανάλογα με τον τύπο του flip-flop) τότε γίνεται δειγματοληψία των εισόδων, δηλαδή
 - Όταν $J=0$ και $K=0$, τότε η επόμενη κατάσταση είναι ίδια με την προηγούμενη κατάσταση
 - Όταν $J=0$ και $K=1$, τότε η επόμενη κατάσταση είναι $Q=0$
 - Όταν $J=1$ και $K=0$, τότε η επόμενη κατάσταση είναι $Q=1$
 - Όταν $J=1$ και $K=1$, τότε η κατάσταση του flip-flop αντιστρέφεται, δηλαδή η επόμενη κατάσταση είναι η συμπληρωματική της προηγούμενης κατάστασης



J	K	$Q_{(n+1)}$
0	0	$Q_{(n)}$
0	1	0
1	0	1
1	1	$\bar{Q}_{(n)}$

5.2.5 10^η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

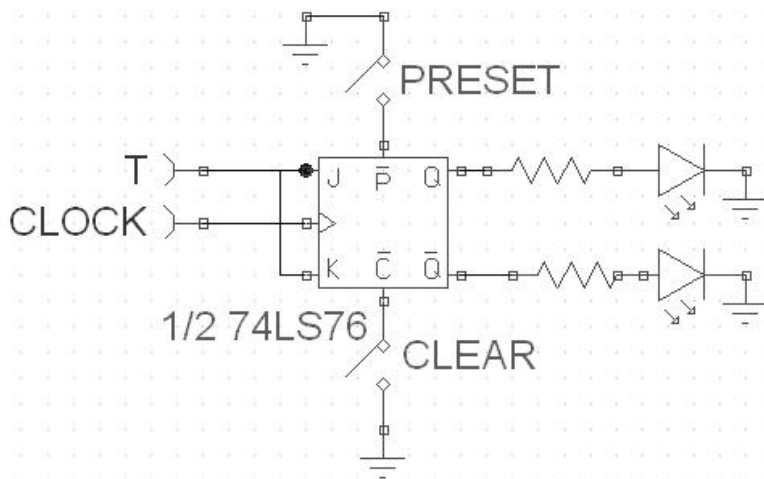
Σχεδιάστε το J-K flip-flop του παρακάτω σχήματος χρησιμοποιώντας το ολοκληρωμένο 74LS76, και επαληθεύστε την λειτουργία του.



5.2.6 T FLIP-FLOP

Η ονομασία του T flip-flop υποδηλώνει και την λειτουργία του, η οποία είναι να αντιστρέφει (Toggle) την κατάσταση του, όταν δεχθεί παλμό ρολογιού.

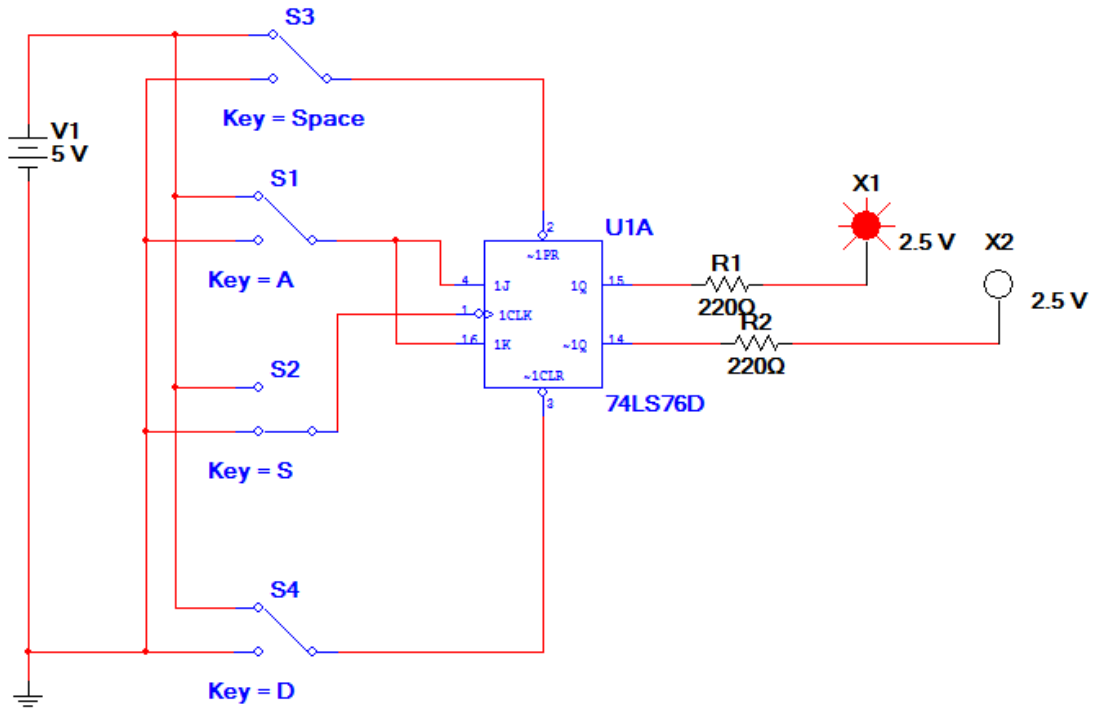
Υλοποιείται με το 74LS76, το ολοκληρωμένο που χρησιμοποιούμε για το J-K flip-flop, με τη διαφορά ότι βραχυκυκλώνουμε τις εισόδους δεδομένων του.



T	$Q_{(n+1)}$
0	$Q_{(n)}$
1	$\bar{Q}_{(n)}$

5.2.7 11^H ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Σχεδιάστε το J-K flip-flop του παρακάτω σχήματος χρησιμοποιώντας το ολοκληρωμένο 74LS76, και επαληθεύστε την λειτουργία του.



ΚΕΦΑΛΑΙΟ 6

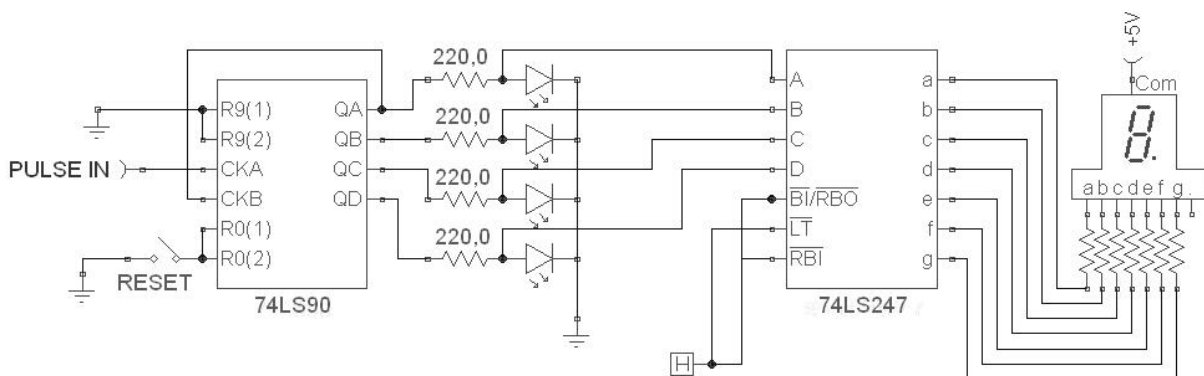
ΑΠΑΡΙΘΜΗΤΕΣ

6.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Μια από τις εφαρμογές των flip-flop είναι η παράλληλη σύνδεσή τους για την υλοποίηση **απαριθμητών** (counters). Οι απαριθμητές καταμετρούν τον αριθμό των παλμών που φθάνουν στην είσοδο του ρολογιού τους.

Στο εργαστηριακό αυτό μάθημα θα ασχοληθούμε με τον 7490, ο οποίος είναι ένας δεκαδικός (BCD) απαριθμητής, δηλαδή εκτελεί καταμέτρηση στο δεκαδικό σύστημα. Επίσης, είναι **ασύγχρονος**, δηλαδή τα flip-flops που τον αποτελούν δεν συγχρονίζονται με κάποιο ρολόι για να αλλάζουν κατάσταση ταυτόχρονα, όπως συμβαίνει στους σύγχρονους απαριθμητές, αλλά οι αλλαγές μεταδίδονται σαν **κυμάτωση** (ripple) από το ένα flip-flop στο άλλο.

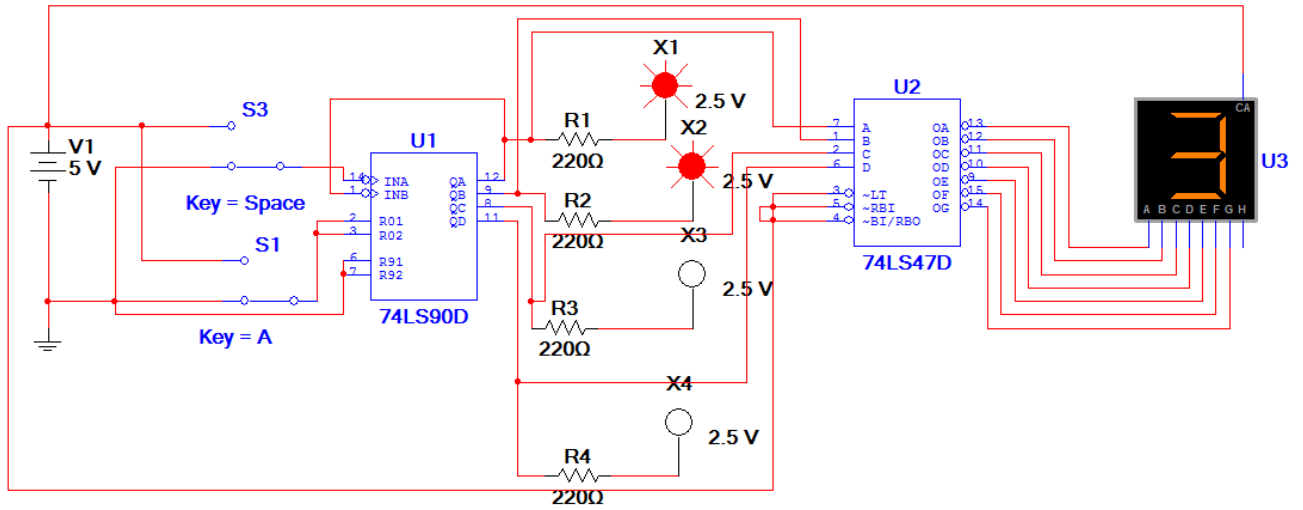
Οι ασύγχρονοι απαριθμητές είναι ευκολότεροι στην υλοποίηση, αλλά λόγω της καθυστέρησης που παρουσιάζουν ενδείκνυνται μόνο για συστήματα που δουλεύουν σε χαμηλές συχνότητες.



Όπως βλέπουμε στην πάνω εικόνα, ο απαριθμητής BCD μπορεί να συνδυαστεί με το σύστημα αποκωδικοποιητή 7 segment display και να μας δείχνει δεκαδικές τιμές.

6.2 12^H ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Σχεδιάστε το παρακάτω κύκλωμα, που συνδυάζει τον απαριθμητή 74LS90 με το σύστημα αποκωδικοποιητή 74LS47/7 segment display, και ελέγξτε τη λειτουργία του.



ΚΕΦΑΛΑΙΟ 7

ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ

7.1 ΚΑΤΑΧΩΡΗΤΗΣ 74LS194

7.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Ο 74LS194 είναι καταχωρητής 4-bits που επιτελεί παράλληλη φόρτωση και σειριακή ολίσθηση, προς τα δεξιά ή τα αριστερά, ανάλογα με τις εισόδους S0 και S1.

Βλέπουμε τις λειτουργίες του στον παρακάτω πίνακα.

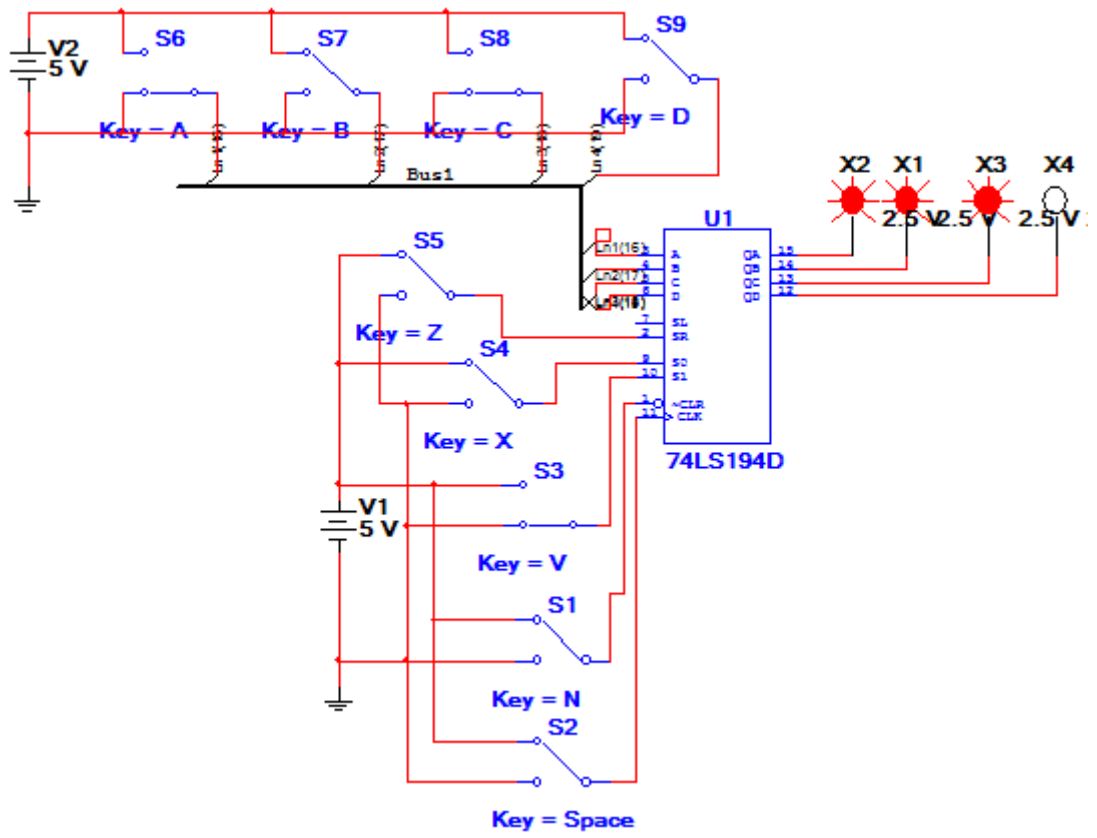
Mode (Λειτουργία)	S1	S2	QA(n+1)	QB(n+1)	QC(n+1)	QD(n+1)
Hold (Διατήρηση)	0	0	QA(n)	QB(n)	QC(n)	QD(n)
Shift Right (Ολίσθηση δεξιά)	0	1	SRSI	QA(n)	QB(n)	QC(n)
Shift Left (Ολίσθηση αριστερά)	1	0	QB(n)	QC(n)	QD(n)	SLSI
Load (Παράλληλη φόρτωση)	1	1	A	B	C	D

7.1.2 13^H ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Υλοποιήστε στο το κύκλωμα του καταχωρητή ολίσθησης του παρακάτω σχήματος, χρησιμοποιώντας το chip 74LS194. Για λόγους απλότητας, θα ασχοληθούμε μόνο με την προς τα δεξιά ολίσθηση, γνωρίζοντας πως τα ίδια ισχύουν και για την προς τα αριστερά, και την παράλληλη φόρτωση.

Πειραματιστείτε με τους διακόπτες και εξετάστε τις λειτουργίες του καταχωρητή. Θυμηθείτε να χρησιμοποιείτε τον διακόπτη Clear για να 'καθαρίζετε' το κύκλωμα και να μην μπερδεύεστε από δεδομένα που έχουν παρακρατηθεί.

Επίσης, έχετε υπ'όψιν σας πως ο καταχωρητής 74LS194 είναι ένα **σύγχρονο** ολοκληρωμένο, που σημαίνει πως οι έξοδοί του μεταβάλλονται μόνο τις στιγμές που δέχεται παλμούς ρολογιού. Για τον σκοπό αυτό χρησιμοποιούμε έναν διακόπτη, και έτσι ανοιγοκλείνontάς τον εξομοιώνουμε μια γεννήτρια ρολογιού.



ΚΕΦΑΛΑΙΟ 8

ΜΝΗΜΕΣ

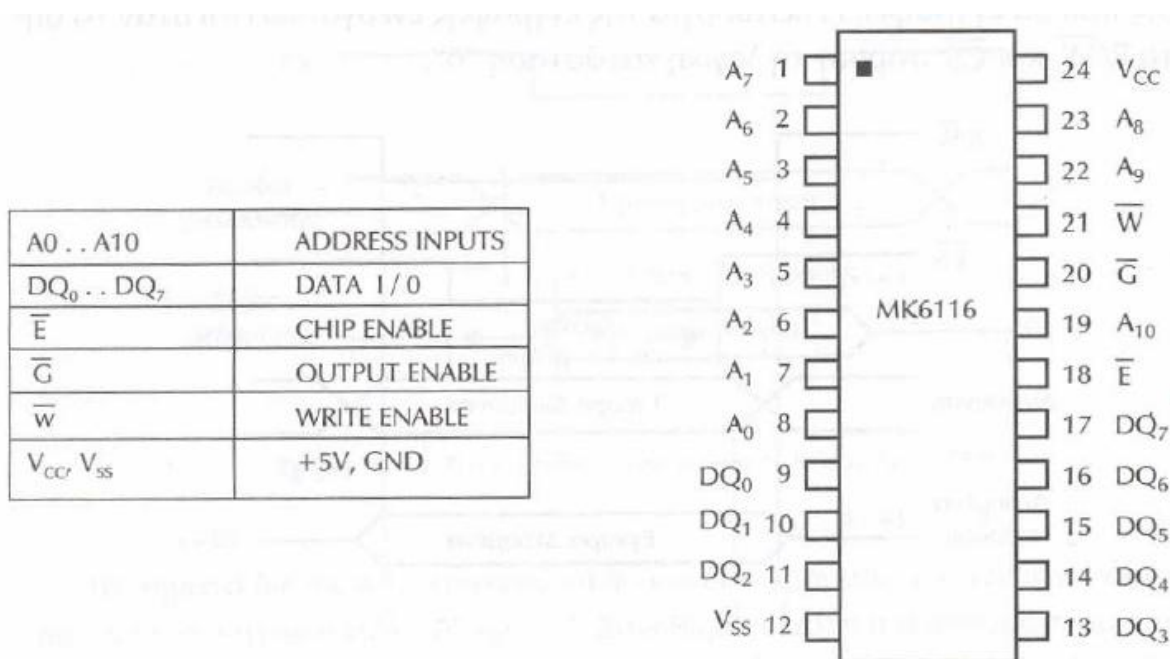
8.1 ΣΤΑΤΙΚΗ RAM 8X4 BITS

8.1.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

Οι μνήμες RAM χωρίζονται σε στατικές, που αποθηκεύουν την πληροφορία σε flip-flops, και σε **δυναμικές**, που χρησιμοποιούν πυκνωτές, το φορτίο των οποίων ανανεώνεται συνεχώς ώστε να μην χαθούν οι πληροφορίες. Λόγω αυτής της ανανέωσης, οι δυναμικές μνήμες έχουν μεγαλύτερη καθυστέρηση, πετυχαίνουν όμως μεγαλύτερες χωρητικότητες.

Στο εργαστηριακό αυτό μάθημα, θα ασχοληθούμε με μια στατική μνήμη, το ολοκληρωμένο 6116. Αν και είναι μνήμη 2K X 8 bits, για λόγους απλότητας θα την χρησιμοποιήσουμε ως μνήμη 8 X 4 bits.

Στο παρακάτω σχήμα βλέπουμε τους ακροδέκτες του κυκλώματος, καθώς και την λειτουργία τους.



Για να πραγματοποιηθεί **εγγραφή στη μνήμη** θα πρέπει να ακολουθηθούν τα επόμενα βήματα με τη σειρά που αναγράφονται:

- Τοποθετούνται τα προς εγγραφή δεδομένα στις εισόδους D0-D3
- Στις εισόδους A0-A2 σχηματίζεται η διεύθυνση της μνήμης που θέλουμε να κάνουμε εγγραφή
- Ταυτόχρονα ή αμέσως μετά ενεργοποιείται το ολοκληρωμένο κύκλωμα θέτοντας = 0
- Η είσοδος Output Enable γίνεται = 1
- Η είσοδος Write Enable γίνεται = 0, οπότε στο σημείο αυτό πραγματοποιείται η εγγραφή, και μετά γίνεται = 1

Για να πραγματοποιηθεί **ανάγνωση από τη μνήμη** θα πρέπει να ακολουθηθούν τα επόμενα βήματα με τη σειρά που αναγράφονται:

- Στις εισόδους A0-A2 σχηματίζεται η διεύθυνση της μνήμης που θέλουμε να κάνουμε ανάγνωση
- Ταυτόχρονα ή αμέσως μετά ενεργοποιείται το ολοκληρωμένο κύκλωμα θέτοντας = 0
- Η είσοδος Output Enable γίνεται = 0
- Η είσοδος Write Enable γίνεται = 1
- Εμφανίζονται τα δεδομένα στις εξόδους D0-D3

8.1.2 14^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

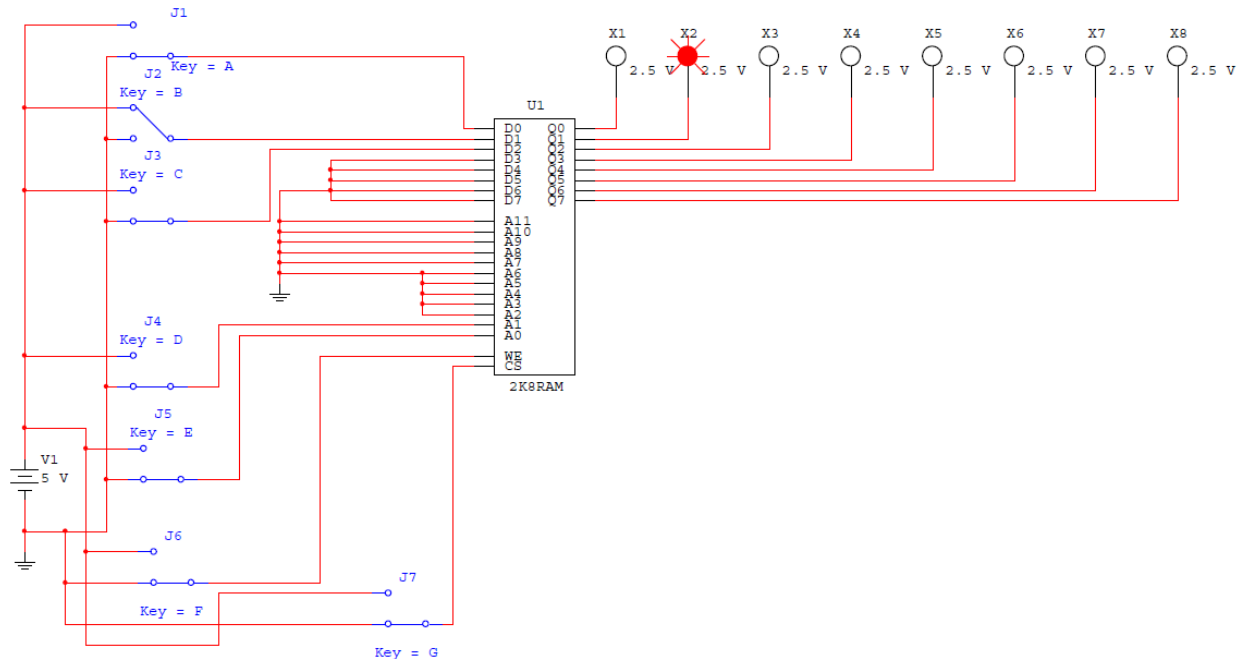
Υλοποιήστε στο MultiSim το κύκλωμα της παρακάτω εικόνας με την στατική RAM 2K X 4 bits και επαληθεύστε τη λειτουργία του ως εξής:

A. Μελετήστε τα απαιτούμενα βήματα για εγγραφή-ανάγνωση δεδομένων όπως δόθηκαν παραπάνω.

B. Εγγράψτε τα εξής δεδομένα στις τέσσερις πρώτες διευθύνσεις μνήμης.

A1	A0	Δεδομένα Εισόδου
0	0	0000001
0	1	00100100
1	0	01000101
1	1	10011010

Γ. Κάντε ανάγνωση των τεσσάρων πρώτων διευθύνσεων, καταγράψτε τα δεδομένα, και επαληθεύστε πως ταιριάζουν με αυτά που δώσατε αρχικά.

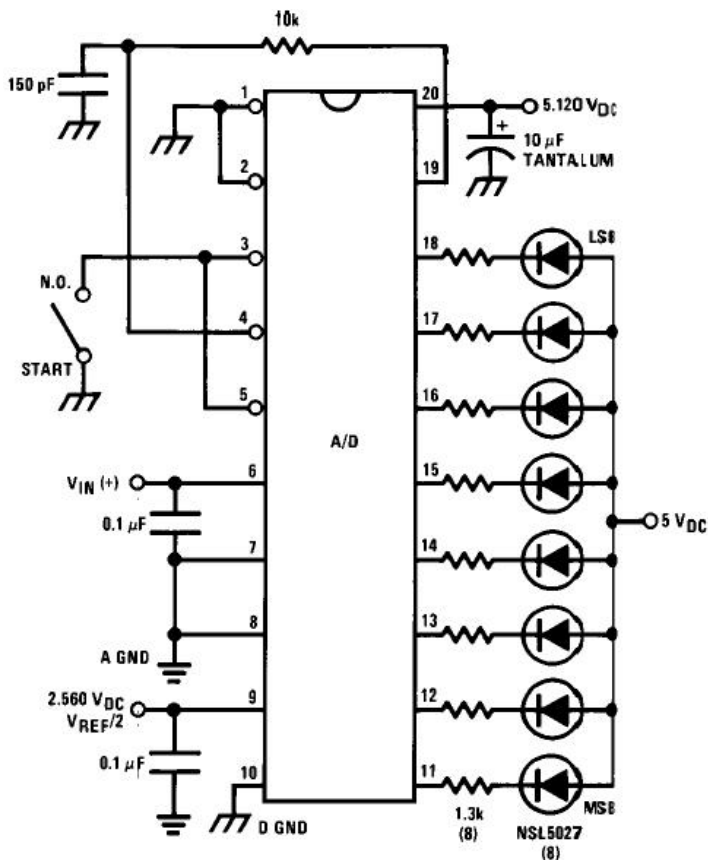


ΚΕΦΑΛΑΙΟ 9

ΜΕΤΑΤΡΟΠΕΙΣ A/D ΚΑΙ D/A

9.1 ΜΕΤΑΤΡΟΠΕΑΣ A/D 8 BITS

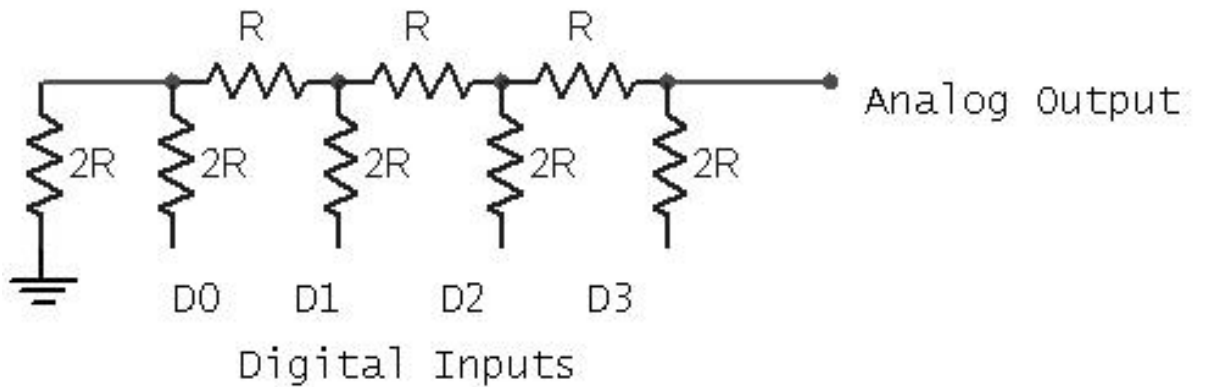
Ο μετατροπέας με της εικόνας είναι ο 0804 και είναι 8 bits. Μπορεί να ελέγχεται από κάποιο μικροεπεξεργαστή, ή να λειτουργεί ανεξάρτητα, σε free-running mode. Χρησιμοποιείται για την διασύνδεση υπολογιστών, μικροεπεξεργαστών, και άλλων περιφερειακών με το εξωτερικό περιβάλλον, καθώς τα δεδομένα διαφόρων αισθητήρων, πχ. κίνησης, θερμοκρασίας, κλπ, μετατρέπονται σε ηλεκτρικό σήμα (αυξομειώσεις τάσης). Με την μετατροπή σε ψηφιακό σήμα, τα σήματα αυτά μπορούν πολύ εύκολα και βολικά να αποθηκευτούν και/ή να υποστούν επεξεργασία.



9.2 ΜΕΤΑΤΡΟΠΕΑΣ D/A 4 BITS

9.2.1 ΘΕΩΡΗΤΙΚΗ ΕΙΣΑΓΩΓΗ

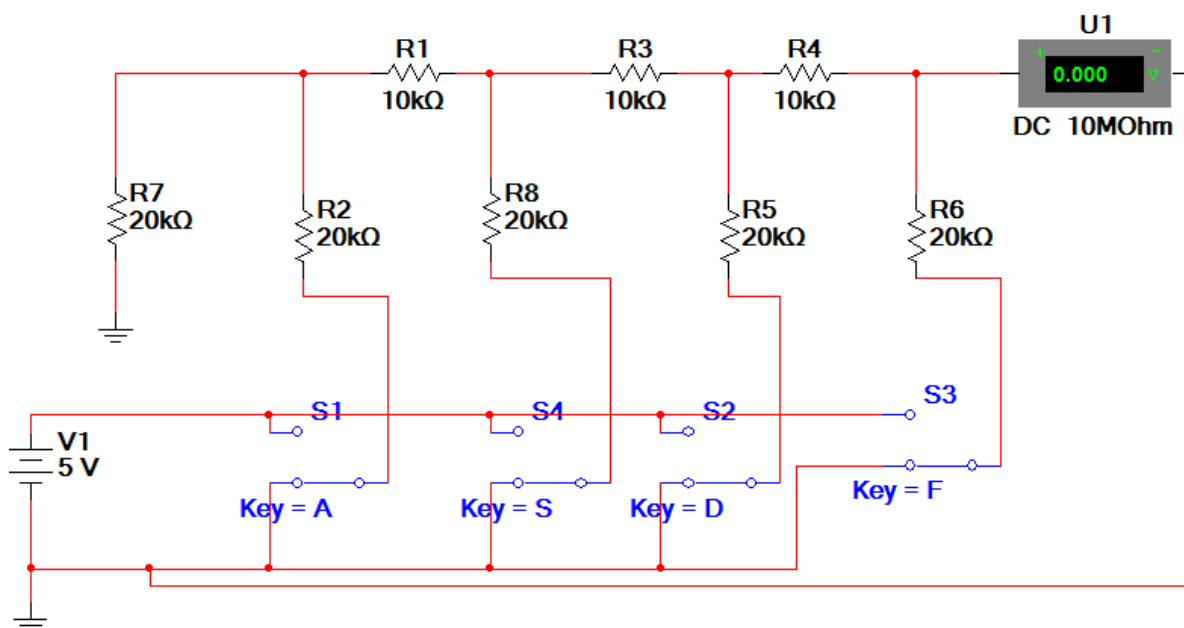
Ο μετατροπέας D/A εφαρμόζει την τεχνική του διαιρέτη τάσης. Στην εικόνα βλέπουμε ένα μετατροπέα 4 bits με βάση το δικτύωμα R2R. Ανοιγοκλείνοντας τους τέσσερις διακόπτες, είναι σαν να δίνουμε μια δυαδική τιμή τεσσάρων bits, την οποία μπορούμε έπειτα να μετρήσουμε στην αναλογική έξοδο.



9.2 15^Η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

Υλοποιήστε στο MultiSim τον μετατροπέα D/A τεσσάρων bits του παρακάτω σχήματος.

Κατόπιν απαντήστε στα ερωτήματα που ακολουθούν.



A. Πειραματιστείτε με τους διακόπτες, ελέγχοντας και τις ενδείξεις του βολτόμετρου. Ποιος διακόπτης αντιστοιχεί στο περισσότερο σημαντικό bit (MSB); _____
Ποιος αντιστοιχεί στο λιγότερο σημαντικό bit (LSB); _____

B. Αφού προσδιορίσατε τα MSB και LSB, δώστε τις ακόλουθες τιμές στους διακόπτες του μετατροπέα και συμπληρώστε την κενή στήλη με τις ενδείξεις του βολτόμετρου.

ΨΗΦΙΑΚΗ ΕΙΣΟΔΟΣ	ΑΝΑΛΟΓΙΚΗ ΕΞΟΔΟΣ
0000	
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1111	

ΠΑΡΑΡΤΗΜΑ

Παρακάτω βρίσκονται τα datasheets τα οποία χρησιμοποιήθηκαν για την υλοποίηση της εργασίας. Πάνω σε αυτά βασιστήκαμε για τις σωστές συνδέσεις των ολοκληρωμένων.

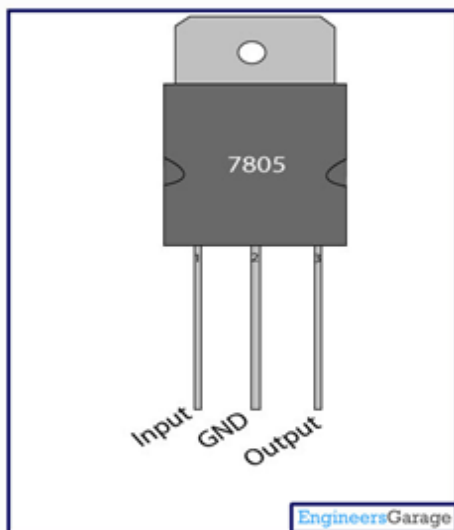
Chip7805 : Μετασχηματίζει τα 9 volt τροφοδοσία που παίρνει και τα μετατρέπει σε 5 volt.

DataSheet:

[7805.pdf](#)

7805 is a voltage regulator integrated circuit. It is a member of 78xx series of fixed linear voltage regulator ICs. The voltage source in a circuit may have fluctuations and would not give the fixed voltage output. The voltage regulator IC maintains the output voltage at a constant value. The xx in 78xx indicates the fixed output voltage it is designed to provide. 7805 provides +5V regulated power supply. Capacitors of suitable values can be connected at input and output pins depending upon the respective voltage levels.

Pin Diagram:



Pin Description:

Pin No	Function	Name
1	Input voltage (5V-18V)	Input
2	Ground (0V)	Ground
3	Regulated output: 5V (4.8V-5.2V)	Output

Chip74ls00 : Χρησιμοποιήσαμε 2 τσιπάκια 74ls00. Με το πρώτο υλοποιήσαμε τις πύλες AND και NAND και με το δεύτερο υλοποιήσαμε την πύλη OR χρησιμοποιώντας την παρακάτω συνδεσμολογία

MM74HC00
Quad 2-Input NAND Gate

General Description
The MM74HC00 NAND gate utilizes advanced silicon gate CMOS technology to achieve operating speeds similar to ECL gate with the low power consumption of standard CMOS low power devices. All gates have high noise immunity and the ability to drive 15 TTL loads. The 74HC logic family is functionally as well as pin-compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamping to VDD and VSS.

Features

- Typical propagation delay: 8 ns
- Wide power supply range: 1-15V
- Low quiescent current: 10 µA maximum (TYP. 1µA)
- Low input current: 1 µA maximum
- Fanout of 15 LS-TTL loads

Ordering Code:

Order Number	Package Number	Package Description
MM74HC00E	M14A	24-Lead Small Outline Low Power Ceramic (SOIC), JEDEC MO-129, 6.128" Height
MM74HC00ET	M14D	24-Lead Small Outline Package (SOP), EIAJ TYPE II, 7.3mm Wide
MM74HC00EHC	M14C14	24-Lead Thin Small Outline Package (TSOP), JEDEC MO-153, 6.6mm Wide
MM74HC00E	M14A	24-Lead Plastic Dual-In-Line Package (DIP), JEDEC MS-018, 6.350" Wide

For more information on Tape and Reel, specify the appropriate suffix code "R" on the ordering code.

Connection Diagram

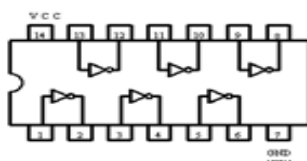
Logic Diagram

IC00 Quad 2-Input NAND Gate

Chip74ls04 : Με αυτό το chip υλοποιήσαμε την πύλη NOT



HEX INVERTER



SN54/74LS04

HEX INVERTER
LOW POWER SCHOTTKY

J SUFFIX
CERAMIC
CASE 652-08

N SUFFIX
PLASTIC
CASE 646-06

B SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LS00J	Ceramic
SN74LS00N	Plastic
SN74LS00D	SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
VCC	Supply Voltage	54	4.5	5.0	V
		74	4.75	5.25	
TA	Operating Ambient Temperature Range	54	-55	25	°C
		74	0	70	
I _{O H}	Output Current — High	24, 74		-0.4	mA
I _{O L}	Output Current — Low	54		4.0	mA
		74		0.0	

**SN5404, SN54LS04, SN54S04,
SN7404, SN74LS04, SN74S04**
HEX INVERTERS

DECEMBER 1982—REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

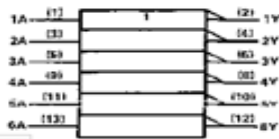
description

These devices contain six independent inverters. The SN5404, SN54LS04, and SN54S04 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7404, SN74LS04, and SN74S04 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each inverter)

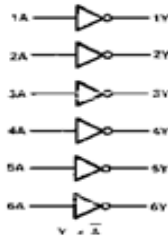
INPUTS		OUTPUT	
A		Y	
H		L	
L		H	

logic symbol †

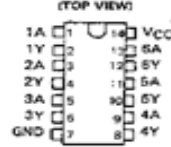


† This symbol is in accordance with ANSI/IEE Std. D1-1984 and IEC Publication 817-12. Pin numbers shown are for D, J, and N packages.

logic diagram (positive logic)



SN5404... J PACKAGE
SN54LS04, SN54S04... J OR W PACKAGE
SN7404... N PACKAGE
SN74LS04, SN74S04... D OR N PACKAGE



SN5404... W PACKAGE (TOP VIEW)



SN54LS04, SN54S04... PK PACKAGE (TOP VIEW)



NC: No internal connection

Chip 74ls86 : Με αυτό το chip υλοποιήσαμε την πύλη XOR. Και σε συνδυασμό με το chip **74ls04** υλοποιήσαμε την πύλη XNOR.

XOR

XOR stands for exclusive OR. XOR gate compares two values and if they are different its output will be "1." XOR operation is represented by the symbol \oplus . So $Y = A \oplus B$. You can see XOR logic gate symbol in Figure 10 and its truth table right below it.

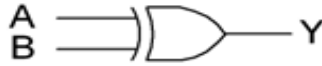


Figure 17: XOR logic gate.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

So its output will only be at "0" when all its inputs have the same value. Otherwise its output will be "1."

If you need more than two inputs, you will need to add an OR gate like shown in Figure 18.

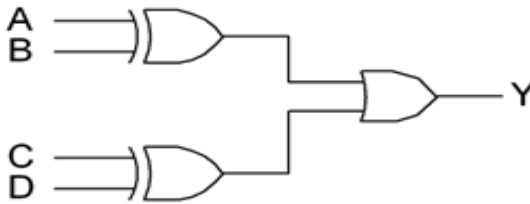


Figure 18: Expanding XOR inputs.

The most famous XOR gate integrated circuit is 7486 and you can its pinout in Figure 19.

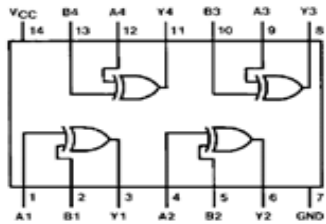


Figure 19: 7486 integrated circuit provides four two-inputs XOR gates.

January 10, 2012 - 9:10 AM PST

Koolance Launches Water Block for Radeon HD 7970 Video Card

January 10, 2012 - 9:07 AM PST

MSI Launches Interceptor Series of Computer Cases

January 10, 2012 - 7:44 AM PST

Sapphire Launches the Pure Black X79N Motherboard

January 9, 2012 - 7:53 AM PST

Manufacturers Intro Radeon HD 7970 Video Cards

January 9, 2012 - 7:51 AM PST

[..|| More News ||..](#)

Latest Content



Enermax ETD-T60-YD CPU Cooler Review

AMD ATI Chips Comparison Table

In Win Mana 136 Case Review

Cooler Master Cosmos II Case Review

In Win BUC 101 Case Review

BITFenix Raider Case Review

Zalman CNPS11X Performa CPU Cooler Review

Raidmax Seiran Case Review

Rosewill HIVE 650 W Power Supply Review

NZXT Phantom 418 Case Review

AMD Radeon HD 7970 Video Card Review

ECS X79R-AX Motherboard

3R System T188 Valkyrie Case Review

Fractal Design Define XL Case Review

Amazon Kindle Fire Tablet Review

Our Most Popular Articles

Maximum CPU Temperature

1,398,692 views

How to Find Out Your Motherboard's Manufacturer and Model

1,392,208 views

NVIDIA Chips Comparison Table

1,132,435 views

Connecting Two PCs Using a USB-USB Cable

1,091,730 views

How to Correctly Apply Thermal Grease

1,017,832 views

AMD ATI Chips Comparison Table

924,390 views

Understanding RAM Timings

717,284 views

How to Perform a BIOS Upgrade

699,015 views

ATI Radeon X1300 Pro Review

643,336 views

ATI Radeon X1600 XT Review

612,042 views



ΠΑΛΜΟΣ - Chip 74ls14 : Με το chipακι αυτό και την παρακάτω συνδεσμολογία δημιουργήσαμε τον παλμό (clock)

The SN54LS1 / 74LS13 and SN54LS / 74LS14 contain logic gates / inverters which accept standard TTL input signals and provide standard TTL output levels. They are capable of transforming slowly changing input signals into sharply defined, jitter-free output signals. Additionally, they have greater noise margin than conventional inverters.

Each circuit contains a Schmitt trigger followed by a Darlington level shifter and a phase splitter driving a TTL totem pole output. The Schmitt trigger uses positive feedback to effectively speed-up slow input transitions, and provides different input threshold voltages for positive and negative-going transitions. This hysteresis between the positive-going and negative-going input thresholds (typically 800 mV) is determined internally by resistor ratios and is essentially insensitive to temperature and supply voltage variations.

LOGIC AND CONNECTION DIAGRAMS

**SCHMITT TRIGGERS
DUAL GATE / HEX INVERTER
LOW POWER SCHOTTKY**

**J SUFFIX
CERAMIC
CASE 632-08**

**N SUFFIX
PLASTIC
CASE 646-06**

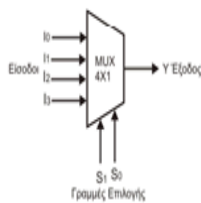
**B SUFFIX
SOIC
CASE 751A-02**

ORDERING INFORMATION

SN54LS00J	Ceramic
SN74LS00N	Plastic
SN74LS00B	SOIC

ΠΟΛΥΠΛΕΚΤΗΣ: Στα παρακάτω datasheets φαίνεται η λογική ενός πολυπλέκτη 4 και 8 εισόδων αντίστοιχα. Καθώς και οι πίνακες αληθείας τους.

Ο Πολυπλέκτης 4 εισόδων (MUX 4X1) έχει τέσσερις ψηφιακές εισόδους I_0, I_1, I_2 και I_3 και δύο γραμμές επιλογής S_0 και S_1 και μια έξοδο Y , όπως φαίνεται στο σήμα:

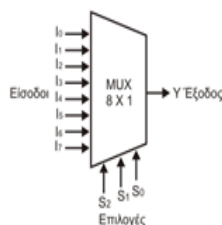


Ανάλογα με τις τιμές των γραμμών επιλογής S_1 και S_0 , μια από τις εισόδους I_0, I_1, I_2 και I_3 μεταβιβάζεται στην έξοδο όπως φαίνεται στο συντακτικό Πίνακα Αληθείας του, που παρουσιάζεται στον πίνακα που ακολουθεί:

S_1	S_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

Η συνάρτηση εξόδου Y συναρτάται των επιλογών S_0 και S_1 και των εισόδων I_0, I_1, I_2 και I_3 είναι η ακόλουθη:

$$Y = I_0 \cdot \bar{S}_1 \cdot \bar{S}_0 + I_1 \cdot \bar{S}_1 \cdot S_0 + I_2 \cdot S_1 \cdot \bar{S}_0 + I_3 \cdot S_1 \cdot S_0$$

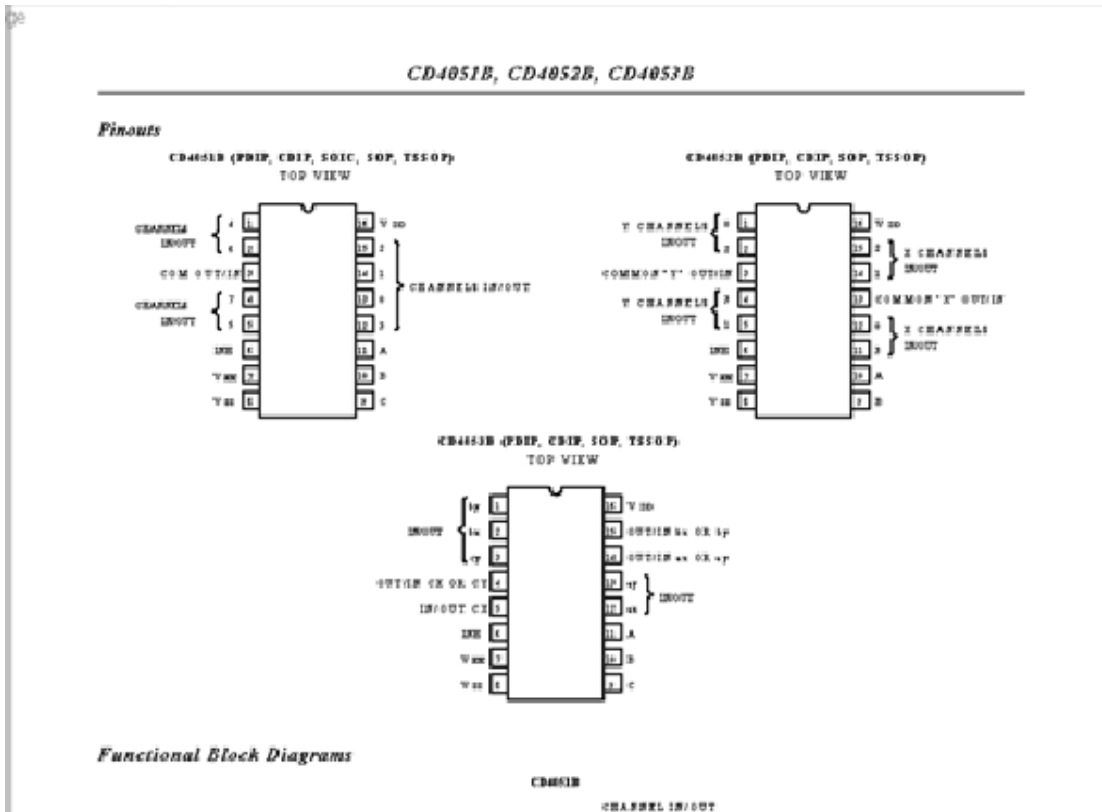


Ανάλογα με τις τιμές των γραμμών επιλογής S_2, S_1 και S_0 , μια από τις εισόδους $I_0, I_1, I_2, I_3, I_4, I_5, I_6$ και I_7 μεταβιβάζεται στην έξοδο όπως φαίνεται στο συντακτικό Πίνακα Αληθείας του, που παρουσιάζεται στον πίνακα που ακολουθεί:

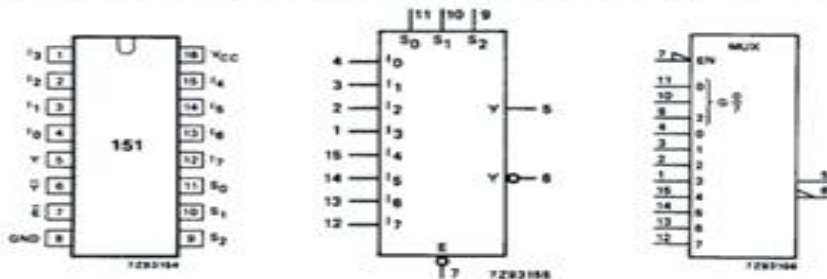
S_2	S_1	S_0	Y
0	0	0	I_0
0	0	1	I_1
0	1	0	I_2
0	1	1	I_3
1	0	0	I_4
1	0	1	I_5
1	1	0	I_6
1	1	1	I_7

ΠΟΛΥΠΛΕΚΤΗΣ - Chip CD4051 :

: Το ολοκληρωμένο CD4051 και η συνδεσμολογία του

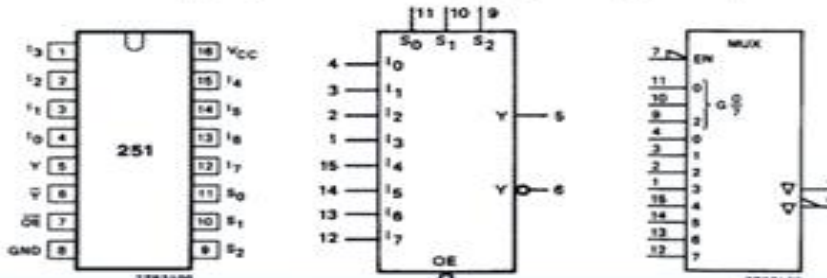


ενεργοποίησης εξόδου (E). Η έξοδος (Y) τίθεται σε LOW όταν η γραμμή ενεργοποίησης εξόδου είναι HIGH.



74HC/HCT251 Πολυπλέκτης οκτώ εισόδων με έξοδο τριών καταστάσεων

Το ολοκληρωμένο **74HC/HCT251** περιλαμβάνει ένα πολυπλέκτη οκτώ εισόδων με τρεις γραμμές επιλογής (S_0 , S_1 , S_2) με έξοδο (Y) καθώς και η συμπληρωματική της (Y). Ο πολυπλέκτης αυτός έχει γραμμή ενεργοποίησης εξόδου (OE) που όταν τεθεί σε HIGH η έξοδος μπαίνει σε κατάσταση υψηλής αντίστασης (OFF-state).



ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ - Chip 74ls138 : Το chipaki 74ls138 και η συνδεσμολογία του μας έδωσαν τον αποκωδικοποιητή 2Χ4

You have no items in your shopping cart.

74LS138
SKU: 74LS138
\$0.70

Item is in stock. Ships in 1-2 days

Quantity:

74LS Series

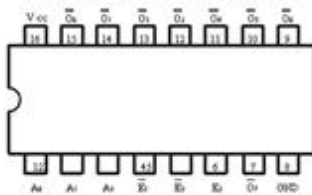
- 3 to 8 decoder/demultiplexer
- Dual-In-Line Package
- 16 pins



Select A	1	16	VCC
Select B	2	15	Y0 Output
Select C	3	14	Y1 Output
G2A Enable	4	13	Y2 Output
G2B Enable	5	12	Y3 Output
G1 Enable	6	11	Y4 Output
Y7 Output	7	10	Y5 Output
Ground	8	9	Y6 Output

Additional Documents

CONNECTION DIAGRAM DIP (TOP VIEW)



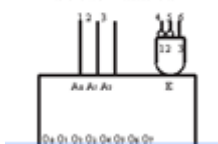
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

LOADING (Note a)

PIN NAMES	LOADING (Note a)	
	HIGH	LOW
A ₀ - A ₂ Address Inputs	0.5 U.I.	0.25 U.I.
\bar{E}_1, \bar{E}_2 Enable (Active LOW) Inputs	0.5 U.I.	0.25 U.I.
\bar{E}_3 Enable (Active HIGH) Input	0.5 U.I.	0.25 U.I.
O ₀ - O ₇ Active LOW Outputs	10 U.I.	5 U.I.

NOTES:
a) 1 TTL Unit Load (U.I.) = 40kΩ HIGH/1.6 mA LOW.

LOGIC SYMBOL

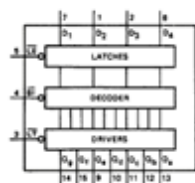
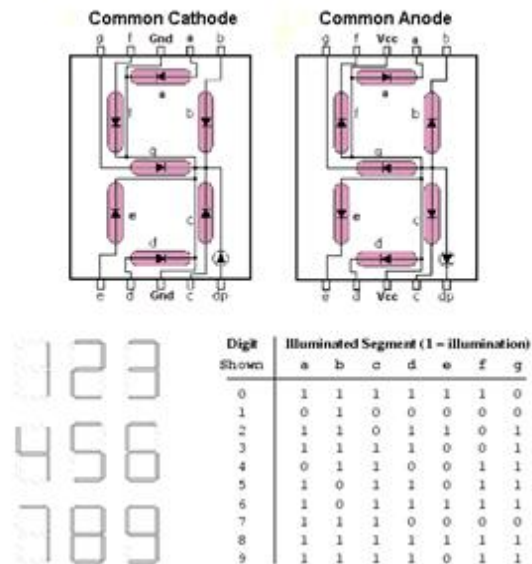


ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCDto7segment :

Στα παρακάτω datasheets φαίνονται η λογική ενός αποκωδικοποιητή BCDto7segment καθώς και ο πίνακας αληθείας του:

employ a pre-manufactured product such as the 4-digit panel mount unit shown at the top of this page...

To correctly interface a PLC to such a display, it helps to first understand what basic electronic components are typically employed in their makeup, and how this effects our task of interfacing to, and programming such a unit... Although both LED and LCD numeric displays are readily available, and interfaced similarly, we'll concentrate on the more common LED units in the examples to follow...



4511 Functional Diagram



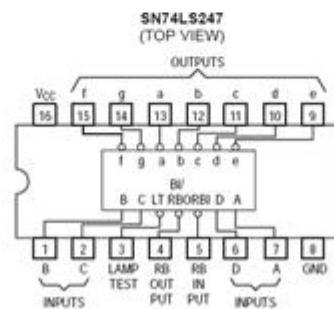
4511 Pinout

In the above diagram, the 4 toggle switches, SW0 to SW3 are used to select the desired numeral (0-9) that will appear on the 7-Segment display... By using a decoder, it's now simply a matter of setting the correct 4-bit BCD pattern feeding the inputs of the decoder, and the decoder takes care of the rest...

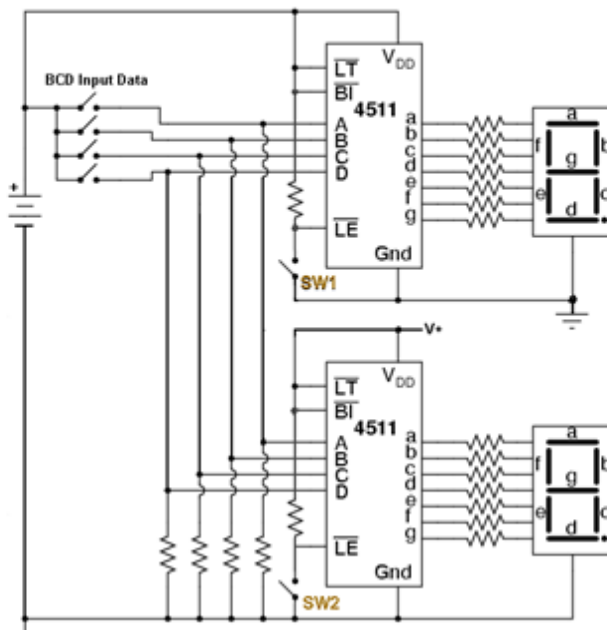
BCD Input Data				Numeral Displayed
SW3	SW2	SW1	SW0	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ BCDto7segment - Chip 74ls247 :

Η συνδεσμολογία πάνω στην οποία υλοποιήσαμε τον αποκωδικοποιητή BCDto7segment



By making use of the 4-bit latches that are built into the 4511 IC, we can easily multiplex the digits if so desired... By properly controlling the state of each latch enable pin (LE) we can use the same input data lines (4 switches) to selectively write to each 7-Segment display independently... With just a minor modification to our circuit, we will be able to essentially treat each digit as a unique 4-bit memory location where BCD data of our choosing can be stored and retained...



ΗΜΙΑΘΡΟΙΣΤΗΣ - Chip 74ls86 & Chip 74ls08 :

Η συνδεσμολογία του 74ls08 που σε συνδυασμό με το 74ls86 (παρουσιάστηκε στα προηγούμενα datasheets) μας έδωσαν τον ημιαθροιστή :

FAIRCHILD
SEMICONDUCTOR™

Revised March 2000

DM74LS08

Quad 2-Input AND Gates

General Description
This device contains four independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS08SJ	M14D	14-Lead Small Outline Package (SOP), ESAJ TYPE II, 5.3mm Wide
DM74LS08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Function Table

$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

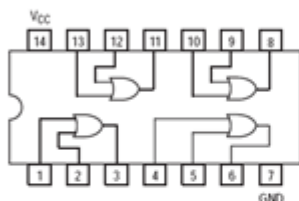
74LS08 Quad 2-Input AND Gates

ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ - Chip 74ls86 & Chip 74ls08 & Chip 74ls32:

Η συνδεσμολογία του 74ls32 που σε συνδυασμό με το 74ls86 & 74ls08 (παρουσιάστηκαν στα προηγούμενα datasheets) μας έδωσαν τον πλήρη αθροιστή :

SN74LS32

Quad 2-Input OR Gate



ON Semiconductor
Formerly a Division of Motorola
<http://onsemi.com>

**LOW
POWER
SCHOTTKY**

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current - High			-0.4	mA
I_{OL}	Output Current - Low			8.0	mA



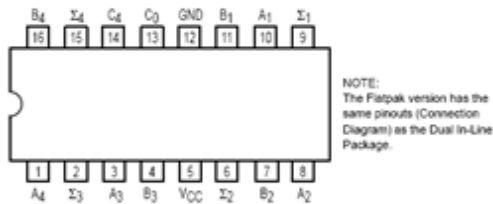
PLASTIC
N SUFFIX
CASE 646

ΑΘΡΟΙΣΤΗΣ 4BITS - Chip 74ls83 : Η συνδεσμολογία του 74ls83

4-BIT BINARY FULL ADDER WITH FAST CARRY

The SN54/74LS83A is a high-speed 4-Bit binary Full Adder with internal carry lookahead. It accepts two 4-bit binary words (A_1-A_4 , B_1-B_4) and a Carry Input (C_0). It generates the binary Sum outputs ($\Sigma_1-\Sigma_4$) and the Carry Output (C_4) from the most significant bit. The LS83A operates with either active HIGH or active LOW operands (positive or negative logic). The SN54/74LS283 is recommended for new designs since it is identical in function with this device and features standard corner power pins.

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

- A_1-A_4 Operand A Inputs
- B_1-B_4 Operand B Inputs
- C_0 Carry Input
- $\Sigma_1-\Sigma_4$ Sum Outputs (Note b)
- C_4 Carry Output (Note b)

LOADING (Note a)

	HIGH	LOW
A_1-A_4	1.0 U.L.	0.5 U.L.
B_1-B_4	1.0 U.L.	0.5 U.L.
C_0	0.5 U.L.	0.25 U.L.
$\Sigma_1-\Sigma_4$	10 U.L.	5 (2.5) U.L.
C_4	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.



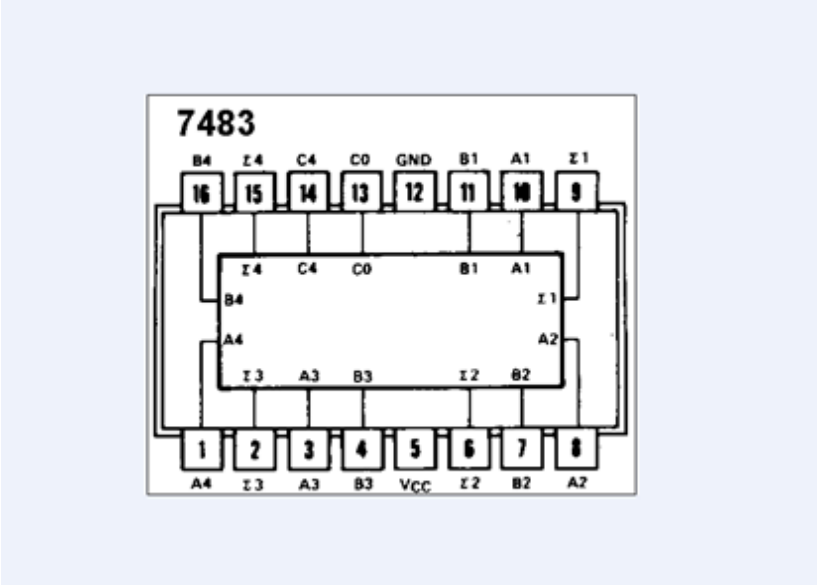
4-BIT BINARY FULL ADDER WITH FAST CARRY
LOW POWER SCHOTTKY

J SUFFIX CERAMIC CASE 620-09

N SUFFIX PLASTIC CASE 648-08

D SUFFIX SOIC CASE 751B-03

ORDERING INFORMATION
SN54LS83LI Ceramic



D flip-flop – 74LS74



August 1986
Revised March 2000

DM74LS74A

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

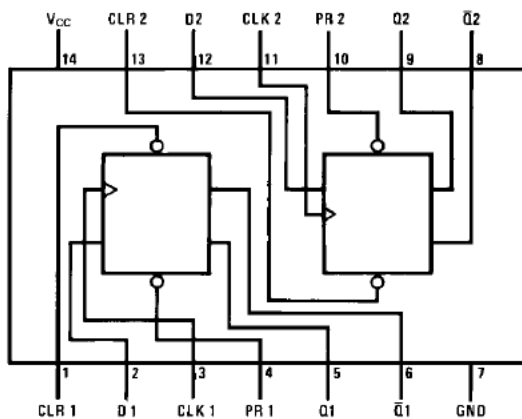
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS85ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

H = HIGH Logic Level

X = Either LOW or HIGH Logic Level

L = LOW Logic Level

↑ = Positive-going Transition

Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

J-K flip-flop – 74LS76: Χρησιμοποιείται επίσης και για το T flip-flop.

SN74LS76A

Dual JK Flip-Flop with Set and Clear

The SN74LS76A offers individual J, K, Clock Pulse, Direct Set and Direct Clear inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The Logic Level of the J and K inputs will perform according to the Truth Table as long as minimum set-up times are observed. Input data is transferred to the outputs on the HIGH-to-LOW clock transitions.

MODE SELECT – TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	\overline{S}_D	\overline{C}_D	J	K	Q	\overline{Q}
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	\overline{q}	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	\overline{q}

* Both outputs will be HIGH while both \overline{S}_D and \overline{C}_D are LOW, but the output states are unpredictable if \overline{S}_D and \overline{C}_D go HIGH simultaneously.

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Immaterial

l, h (q) = Lower case letters indicate the state of the referenced input (or output) one setup time prior to the HIGH-to-LOW clock transition

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			-0.4	mA
I_{OL}	Output Current – Low			8.0	mA

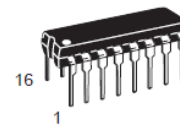


ON Semiconductor

Formerly a Division of Motorola

<http://onsemi.com>

**LOW
POWER
SCHOTTKY**



PLASTIC
N SUFFIX
CASE 648



SOIC
D SUFFIX
CASE 751B

ORDERING INFORMATION

Device	Package	Shipping
SN74LS76AN	16 Pin DIP	2000 Units/Box
SN74LS76AD	16 Pin	2500/Tape & Reel

BCD Counter – 74LS90



August 1986
Revised March 2000

DM74LS90 Decade and Binary Counters

General Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the DM74LS90.

All of these counters have a gated zero reset and the DM74LS90 also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade or four bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate truth table. A symmetrical divide-by-ten count can be obtained from the DM74LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A .

Features

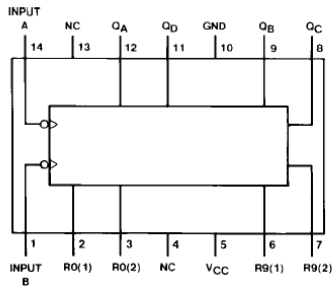
- Typical power dissipation 45 mW
- Count frequency 42 MHz

Ordering Code:

Order Number	Package Number	Package Description
DM74LS90M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS90N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Reset/Count Truth Table

Reset Inputs				Output			
R0(1)	R0(2)	R9(1)	R9(2)	QD	QC	QB	QA
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

Function Tables

BCD Count Sequence (Note 1)

Count	Output			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

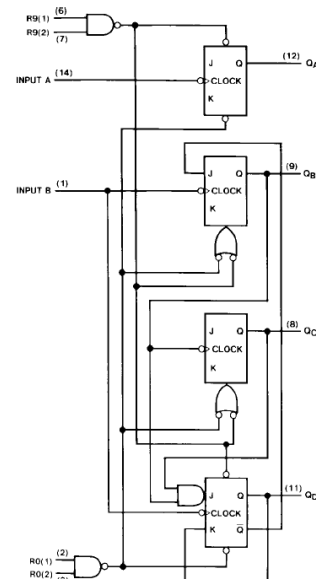
Bi-Quinary (5-2) (Note 2)

Count	Output			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

H = HIGH Level
L = LOW Level
X = Don't Care

Note 1: Output Q_A is connected to input B for BCD count.
Note 2: Output Q_D is connected to input A for bi-quinary count.
Note 3: Output Q_A is connected to input B.

Logic Diagram



The J and K inputs shown without connection are for reference only and are functionally at a high level.

Shift Register with parallel outputs – 74LS194



August 1986
Revised March 2000

DM74LS194A

4-Bit Bidirectional Universal Shift Register

General Description

This bidirectional shift register is designed to incorporate virtually all of the features a system designer may want in a shift register; they feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (broadside) load
- Shift right (in the direction Q_A toward Q_D)
- Shift left (in the direction Q_D toward Q_A)
- Inhibit clock (do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S_0 and S_1 , HIGH. The data is loaded into the associated flip-flops and appear at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S_0 is HIGH and S_1 is LOW. Serial data for this mode is entered at the shift-right data input. When S_0 is LOW and S_1 is HIGH, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are LOW.

Features

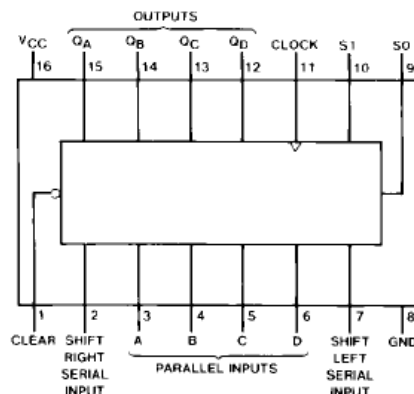
- Parallel inputs and outputs
- Four operating modes:
 - Synchronous parallel load
 - Right shift
 - Left shift
 - Do nothing
- Positive edge-triggered clocking
- Direct overriding clear

Ordering Code:

Order Number	Package Number	Package Description
DM74LS194AM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS194AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Analog to Digital Converter (ADC) – 0804

intersil
ADC0803, ADC0804

Data Sheet
August 2002
DS 0804.4

8-Bit Microprocessor-Compatible, AD Converters

The AD-0803 family are 28-pin CMOS successive approximation AD converters which take a modified parallel bus interface and are designed to operate with the 8051A controller via its three-state outputs. These converters appear to the processor as memory locations at I/O ports, and hence no interfacing logic is required.

The differential analog input has great common mode rejection and permits offsetting the analog input voltage range. In addition, the voltage reference input can be selected to allow encoding any 1.5-bit analog voltage span to the full bits of resolution.

Typical Application Schematic

Features

- 80C48 and 80C51B000 Bus Compatible - No Interfacing Logic Required
- Conversion Time
- Easy Interface to Most Microprocessors
- Will Operate in "Stand-By" Mode
- Differential Analog Voltage Inputs
- Works with Single Voltage Reference
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- Analog Voltage Input Range (Voltage = 1/4 V_{REF})
- No Zero-Input Required
- 80C48 and 80C51B000 Bus Compatible - No Interfacing Logic Required

Pinout

Ordering Information

PART NUMBER	PACKAGE	REF. DESIGNATION	TEMP. RANGE (°C)	AVAILABLE	FIG. 40
ADC0803	SOIC	Requires a ground to connect I/O pins	0 to 70	SOIC PDIP	3A-3
ADC0804	SOIC	Requires a ground to connect I/O pins	0 to 70	SOIC PDIP	3A-3

SRAM – 6116

HM 6116

LOGIC SYMBOL

PIN NAMES

A0-A10 : Address inputs	CS : Chip Select
I/O0-I/O7 : Input/Output	OE : Output enable
VCC : Power	W : Write Enable
GND : Ground	

TRUTH TABLE

CS	OE	W	DATA-IN	DATA-OUT	MODE
H	X	X	Z	Z	Deselect
L	L	H	Z	Valid	Read
L	H	L	Valid	Z	Write
L	L	L	Valid	Z	Write

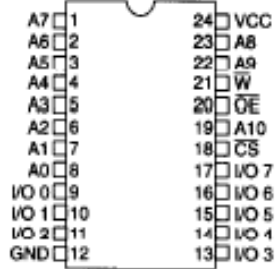
L = low, H = high, X = H or L, Z = High impedance.

INTERFACE

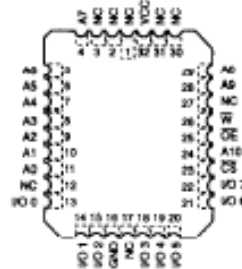
PIN CONFIGURATION

Plastic 600 mils, 24 pins, DIL.
Ceramic 600 mils, 24 pins, DIL.

LCC, 32 pins.

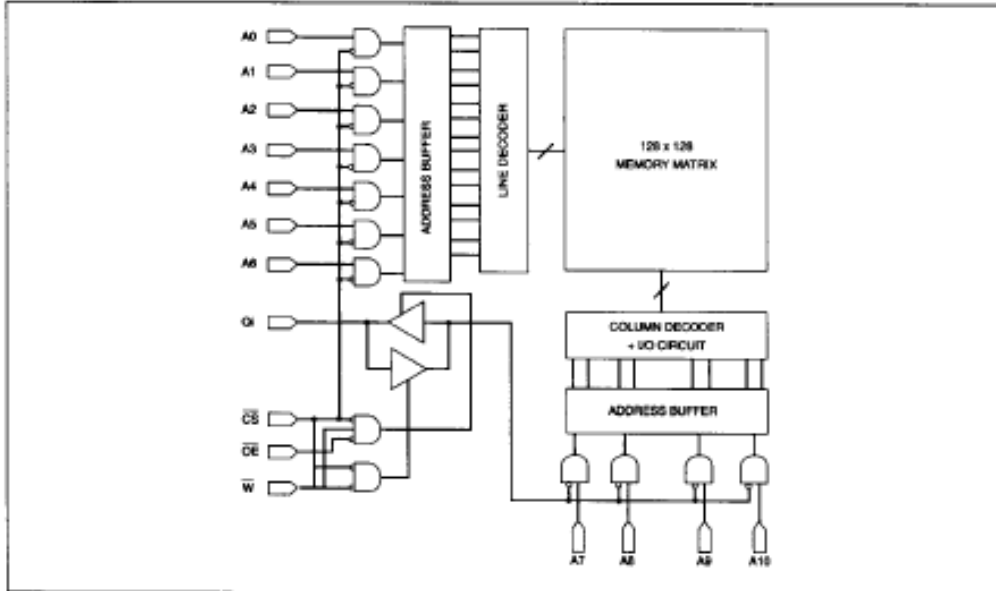


Pinout DIL 24 pins (top view)



Pinout LCC 32 pins (top view)

BLOCK DIAGRAM



ΒΙΒΛΙΟΓΡΑΦΙΑ

Ιωάννης Καλόμοιρος, Ιωάννης Μαδεμλής: Προηγμένα Ψηφιακά Συστήματα, Σημειώσεις Εργαστηρίου , ΤΕΙ Σερρών 2010

Ιωάννης Καλόμοιρος : Προηγμένα ψηφιακά Κυκλώματα , Διαφάνειες για το μάθημα, ΤΕΙ Σερρών 2008

Αναστάσιος Μπαλουκτσής : Ψηφιακά κυκλώματα ΤΕΙ Σερρών 2003-2004

Πρόγραμμα Δαίδαλος: Θεωρητικό Μέρος από Εκπαιδευτικό Ανάπτυγμα Ψηφιακών Κυκλωμάτων, 1^ο ΤΕΕ Σερρών 2006-2007

<http://www.futurlec.com/> TTL Data Sheets

<http://www.wikipedia.com/>

<http://www.alldatasheet.com/>

<http://coolweb.gr/odigies-xrisis-raster-ilektroniki/>

<http://www.eng.ucy.ac.cy/ece203/Notes/Soldering%20Guide.pdf>

<http://www.emimikos.gr/shop/home.php?cat=940>

http://users.sch.gr/jabatzo/files/articles/Synarmologisi_diatritwn_plaketwn.pdf