

ΤΕΙ ΣΕΡΡΩΝ
ΜΑΙΟΣ 2013

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

ΣΠΟΥΔΑΣΤΕΣ: ΛΑΔΑ ΧΡΙΣΤΙΝΑ
ΤΣΙΜΕΝΙΔΗΣ ΣΤΕΦΑΝΟΣ

ΕΠΙΒΛΕΠΩΝ ΚΑΘΗΓΗΤΗΣ : ΜΑΔΕΜΛΗΣ ΙΩΑΝΝΗΣ

ΘΕΜΑ:

ΣΧΕΔΙΑΣΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ ΕΚΠΑΙΔΕΥΤΙΚΩΝ
ΑΝΑΠΤΥΓΜΑΤΩΝ ΜΕΛΕΤΗΣ ΨΗΦΙΑΚΩΝ
ΚΥΚΛΩΜΑΤΩΝ ΚΑΙ ΣΥΓΓΡΑΦΗ ΜΙΑ ΣΕΙΡΑΣ
ΕΡΓΑΣΤΗΡΙΑΚΩΝ ΑΣΚΗΣΕΩΝ ΓΙΑ ΑΥΤΑ

ΠΕΡΙΛΗΨΗ

Αναπτύχθηκε μια σειρά ψηφιακών κυκλωμάτων σε μορφή κατασκευής, τα οποία υλοποιήθηκαν σε πρόγραμμα προσομοίωσης MultiSim και συγγράφηκε μια σειρά εργαστηριακών ασκήσεων για αυτά.

Χωρίζονται στις 2 βασικές κατηγορίες ΑΚΟΛΟΥΘΙΑΚΑ και ΣΥΝΔΥΑΣΤΙΚΑ

Τα συνδυαστικά περιλαμβάνουν :

- Λογικές πύλες
- Πολυπλέκτες
- Αποκωδικοποιητές
- Κυκλώματα αριθμητικών πράξεων

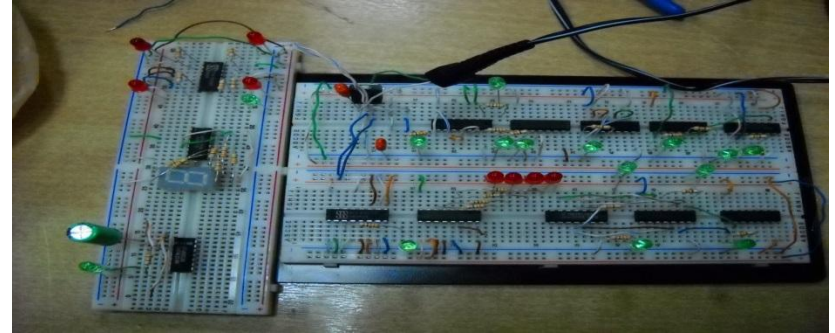
Τα ακολουθιακά περιλαμβάνουν :

- Flip-flops
- Απαριθμητή
- Καταχωρητή ολίσθησης
- Στατική μνήμη RAM
- Μετατροπείς DAC και ADC

ΠΡΑΚΤΙΚΟ ΜΕΡΟΣ

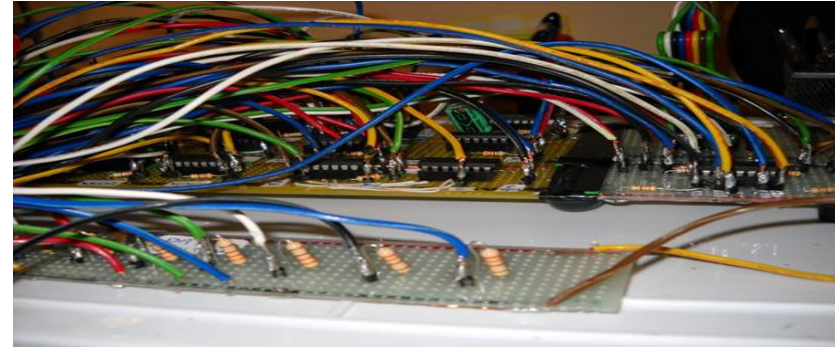
Βήμα πρώτο :

Δοκιμή των chip πάνω στο raster για την επιβεβαίωση της ορθής λειτουργίας τους.



Βήμα δεύτερο :

Τοποθέτηση των chip ακολουθώντας την ίδια δομή και συνδεσμολογία, στις πλακέτες για την ολοκλήρωση των κολλήσεων.



Βήμα τρίτο :

Σχεδιασμός της πρόσοψης των κουτιών και υλοποίηση τους.



ΜΕΛΕΤΗ ΚΥΚΛΩΜΑΤΩΝ

1. ΨΗΦΙΑΚΕΣ ΠΥΛΕΣ

Στο θεωρητικό κομμάτι επεξηγήθηκαν μια προς μια όλες οι ψηφιακές πύλες δίνοντας αναλυτικά τον ορισμό της κάθε μιας, τον πίνακα αληθείας της, το σύμβολο της και την λογική συνάρτηση της.

Στο εργαστηριακό κομμάτι δόθηκε σε μορφή σχεδιαγράμματος η συνδεσμολογία των ψηφιακών πυλών έτσι ώστε να υλοποιηθεί από τους σπουδαστές στο Multisim. Πάνω σε αυτό βασίστηκαν και οι εργαστηριακές ασκήσεις που συγγράφηκαν.

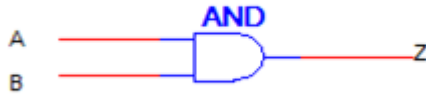
NOT:



$$Z = \bar{A}$$

A	A'
0	1
1	0

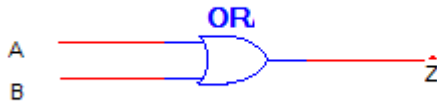
AND:



$$Z = A \cdot B$$

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

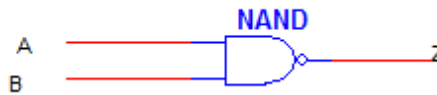
OR:



$$Z = A + B$$

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

NAND:



$$Z = \overline{A \cdot B}$$

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

XOR:



$$Z = A \oplus B$$

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

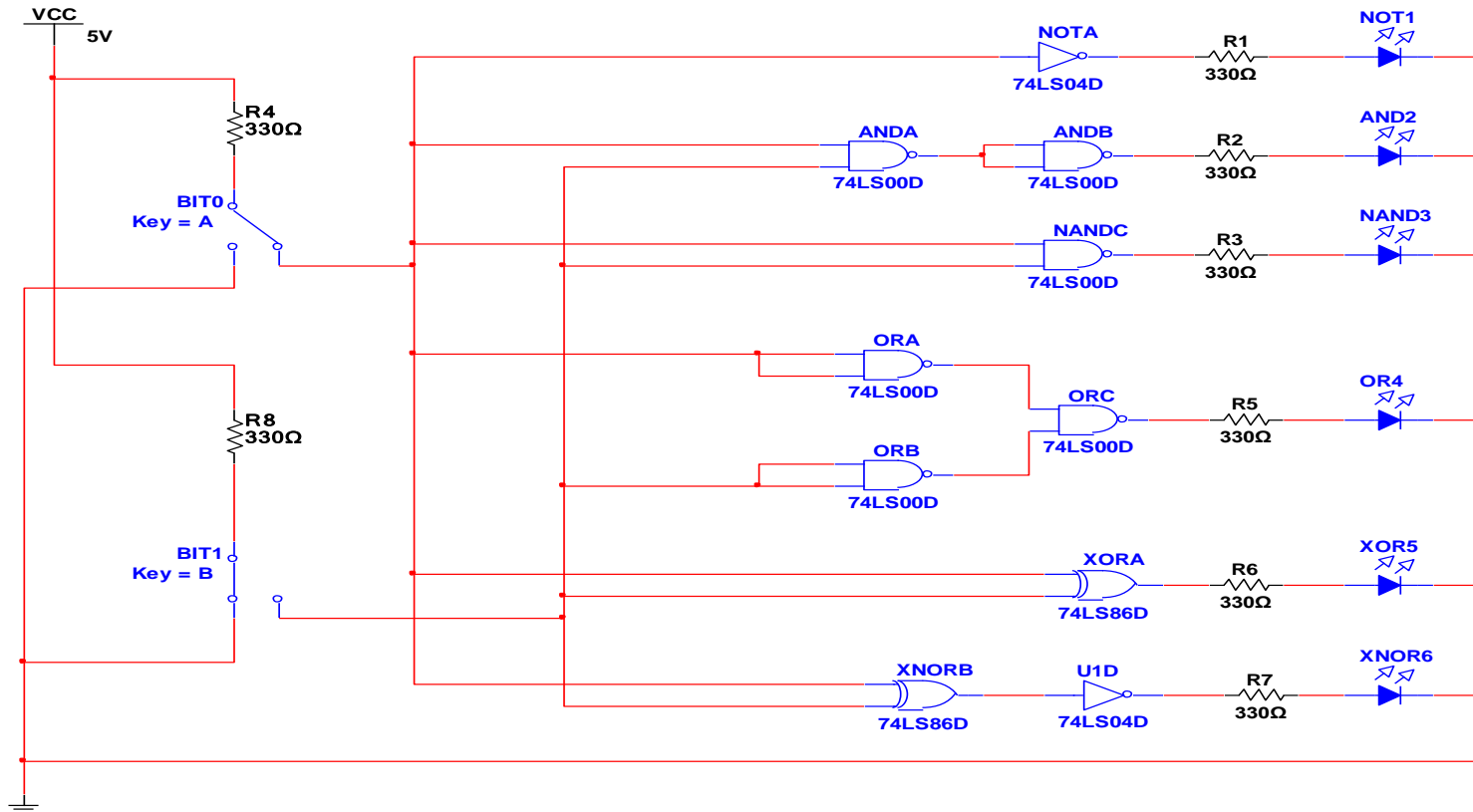
XNOR:



$$Z = \overline{A \oplus B}$$

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1

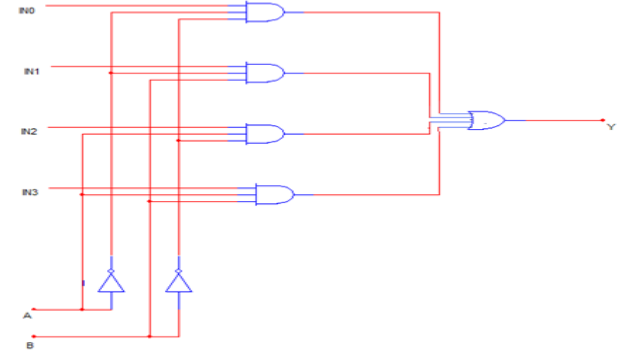
ΨΗΦΙΑΚΕΣ ΠΥΛΕΣ – ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ



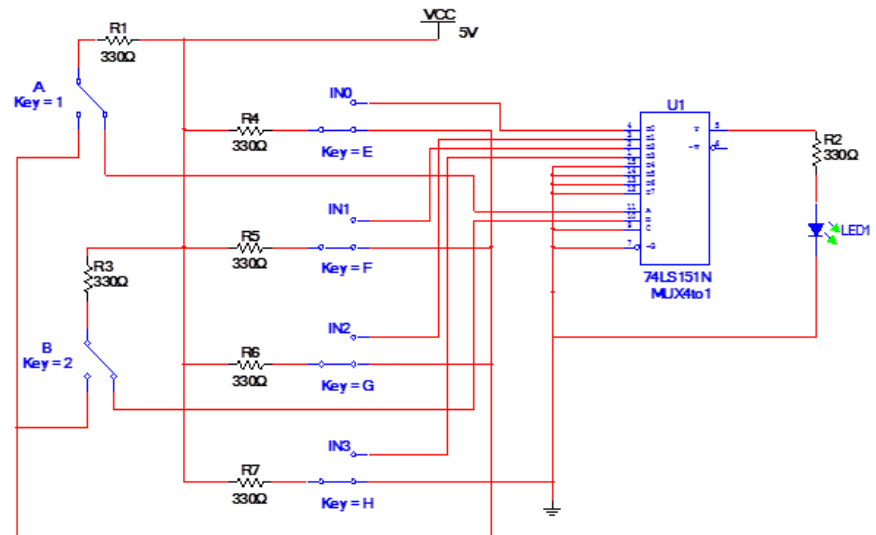
Εργαστηριακό μέρος με βάση την σελίδα 6

2. ΠΟΛΥΠΛΕΚΤΗΣ

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 4 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
2 ΓΡΑΜΜΕΣ ΕΠΙΛΟΓΗΣ
1 ΕΞΟΔΟΣ



ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:
Chip 74ls151 // Multiplex 8X1
Μετατροπή σε πολυπλέκτη 4X1
γειώνοντας τις 4 από τις 8 εισόδους



3. ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

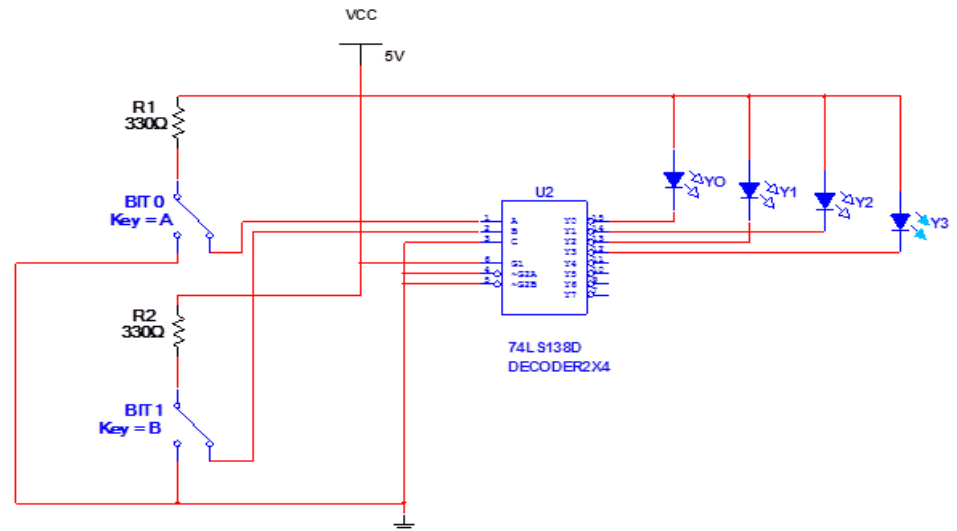
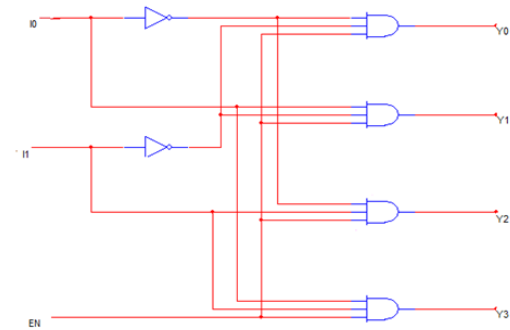
3.1 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ 2 to 4

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 2 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
4 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:

Chip 74ls138 //Decoder 2to4

Ο συνδυασμός εισόδων δίνει μια μοναδική γραμμή εξόδου

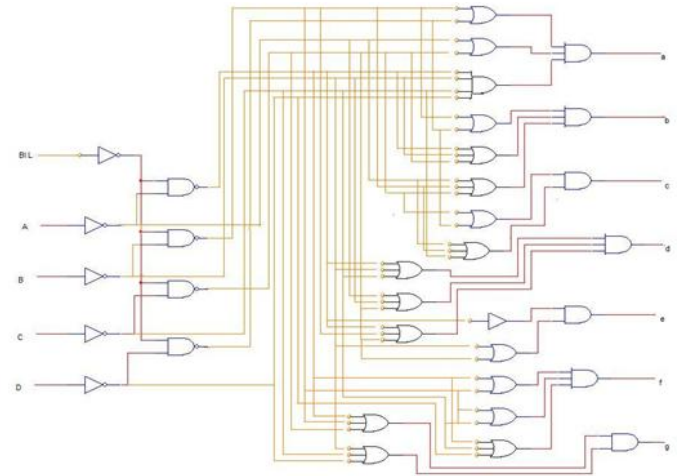


3.2 Αποκωδικοποιητής BCDto7segment

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ:

4 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ

7 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ ΣΕ ΜΙΑ ΟΘΟΝΗ



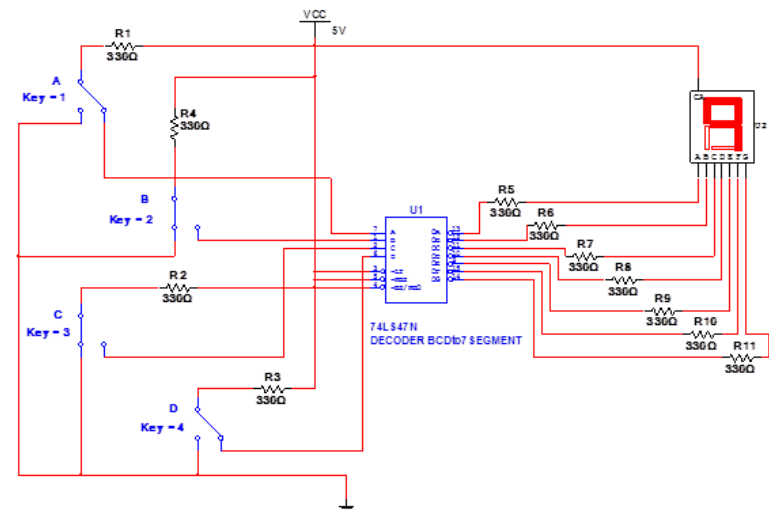
ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :

Chip 74ls47//Decoder BCDto7segment

Ο συνδυασμός των 4 εισόδων

δίνει ένα αριθμητικό αποτέλεσμα

στην οθόνη

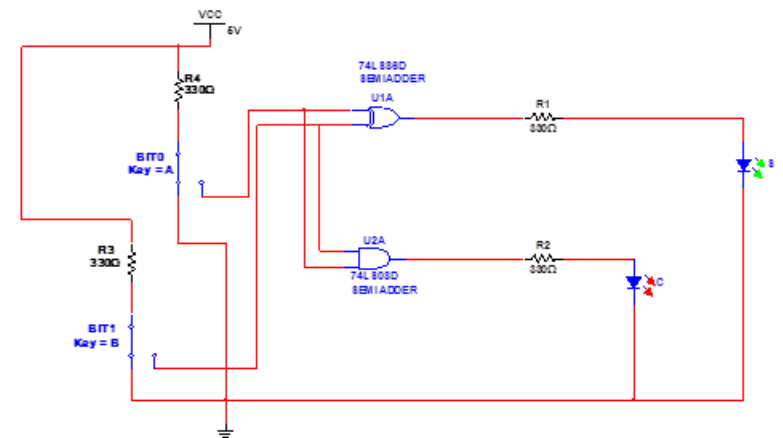
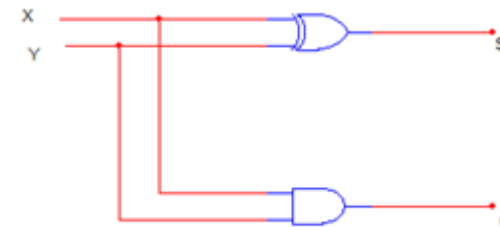


4. ΑΘΡΟΙΣΤΕΣ

4.1 ΗΜΙΑΘΡΟΙΣΤΗΣ

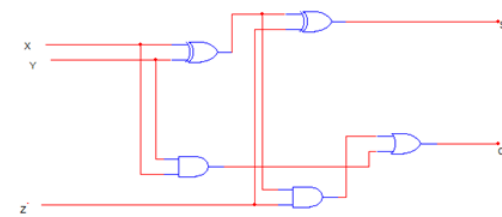
ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 2 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:
Chip 74ls86 & 74ls08// SEMIADDER
Πρόσθεση των ψηφίων εισόδου
με αποτέλεσμα το άθροισμα και
το κρατούμενο



4.2 ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 2 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
1 ΚΡΑΤΟΥΜΕΝΟ
2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

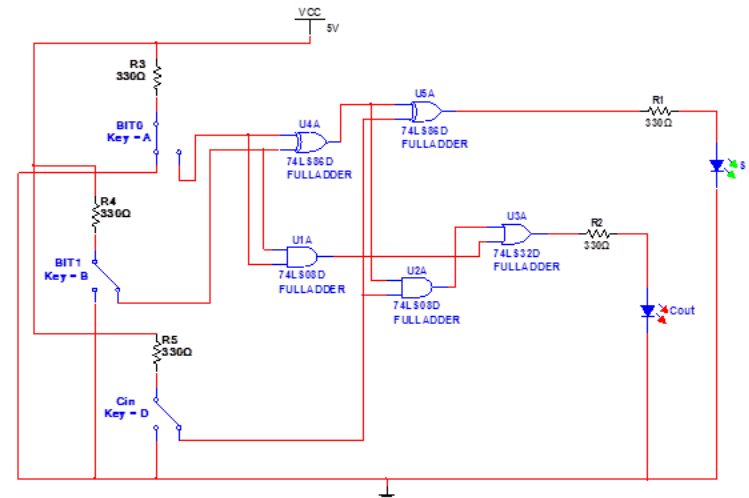


ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :

Chip 74ls86 & 74ls08 & 74ls32

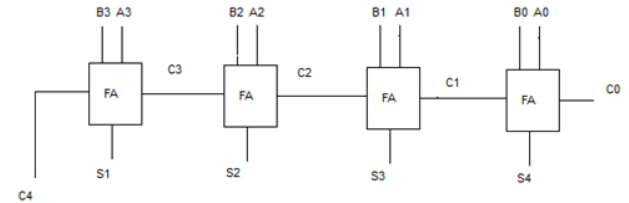
// FULLADDER

Πρόσθεση των ψηφίων εισόδου,
λαμβάνοντας υπόψη το κρατούμενο
με αποτέλεσμα το άθροισμα και το
κρατούμενο εξόδου



4.3 ΑΘΡΟΙΣΤΗΣ 4 BITS

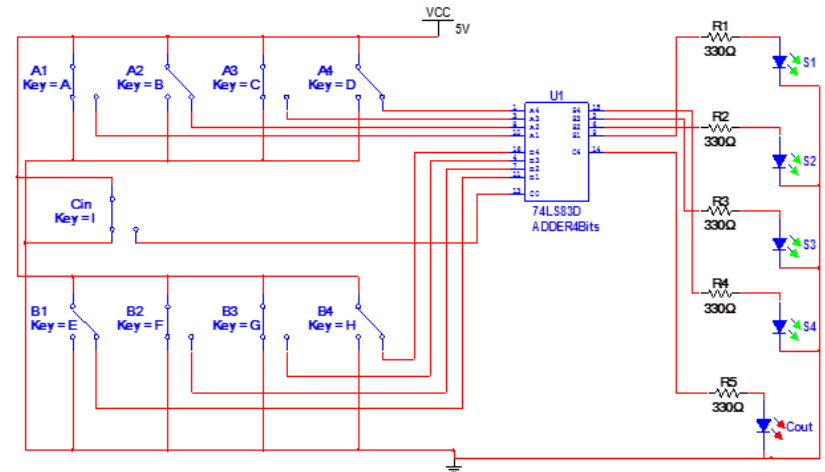
ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 8 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
1 ΑΡΧΙΚΟ ΚΡΑΤΟΥΜΕΝΟ
4 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ



ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:

Chip 74ls83 // ADDER4Bits

Πρόσθεση ανά δύο εισόδους λαμβάνοντας υπόψη το αρχικό και όποια κρατούμενα μπορεί να προκύψουν, με αποτέλεσμα το άθροισμα και το τελικό κρατούμενο.



5. FLIP-FLOPS

5.1 ΜΑΝΔΑΛΩΤΗΣ SR

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ:

2 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ

2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

S	R	Q	\bar{Q}	Κατάσταση	
0	0	1	1	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη
0	1	1	0	Q=1	Ενεργοποίηση
1	0	0	1	Q=0	Μηδενισμός
1	1	0	1	Μετά από S=1 και R=0	Αμετάβλητη
1	1	1	0	Μετά από S=0 και R=1	Αμετάβλητη

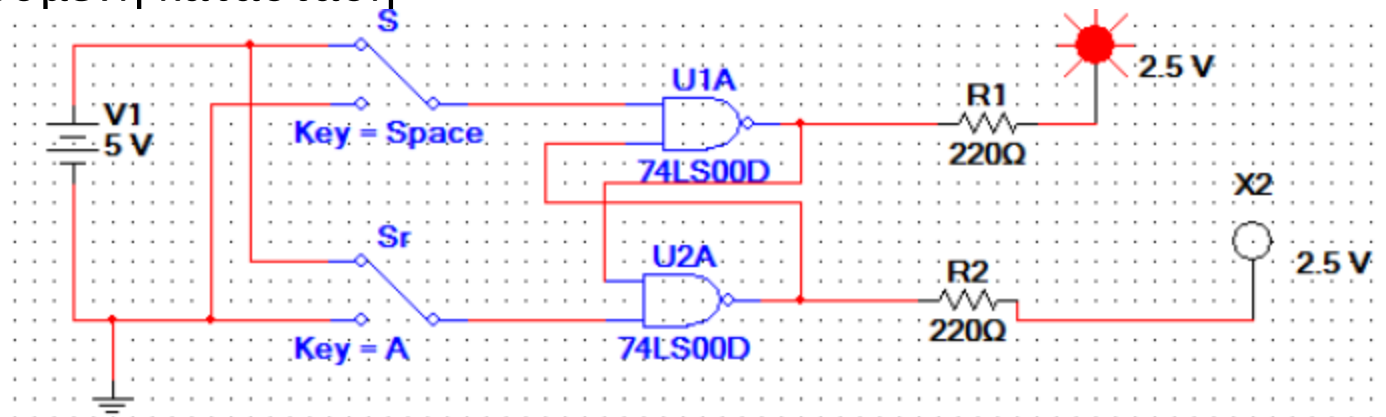
ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:

Chip 74LS00//NAND

Βρόχος ανάδρασης

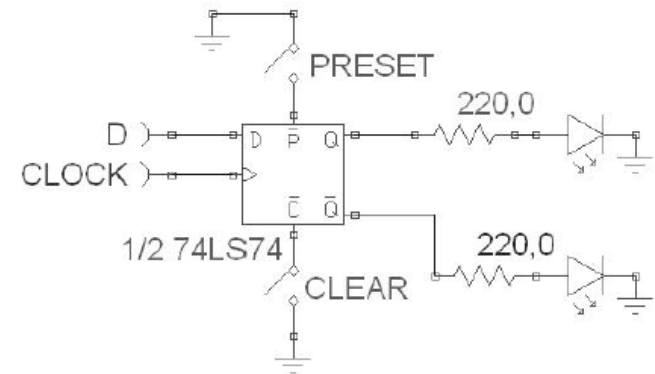
‘Θυμάται’ προηγούμενη κατάσταση

Ασύγχρονο



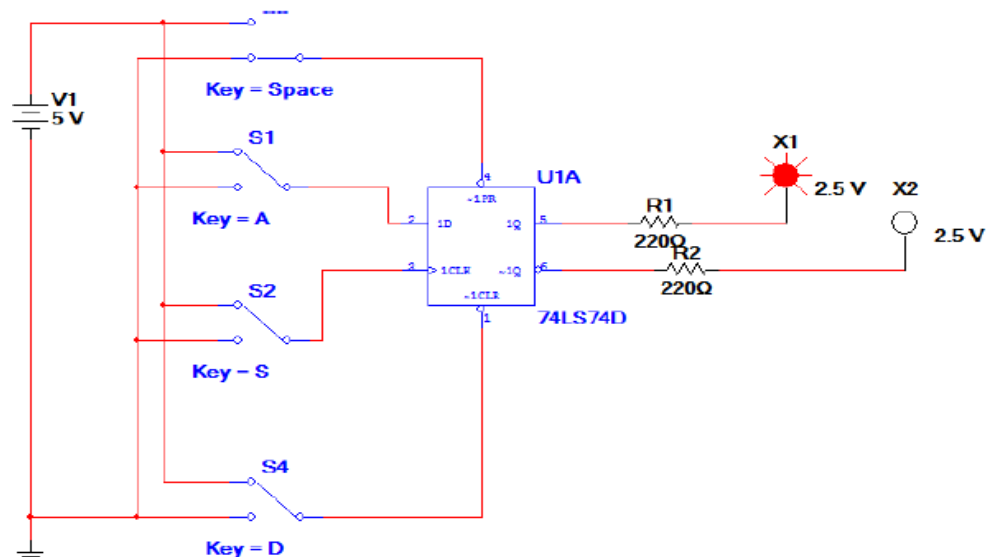
5.2 D FLIP-FLOP

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 4 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ



D	$Q_{(n+1)}$
0	0
1	1

ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :
Chip 74LS74//D flip-flop
Εισάγει καθυστέρηση
συγχρονισμός

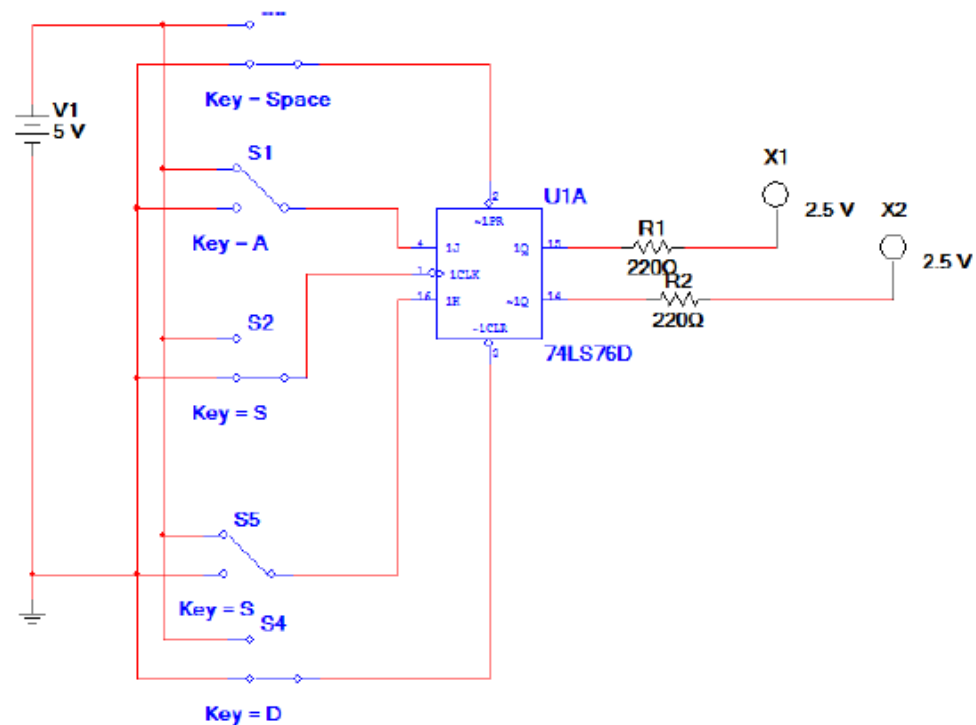


5.3 J-K FLIP-FLOP

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 5 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

J	K	$Q_{(n+1)}$
0	0	$Q_{(n)}$
0	1	0
1	0	1
1	1	$\bar{Q}_{(n)}$

ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :
Chip 74LS76//J-K flip-flop
Συνδυασμός 2 εισόδων
συγχρονισμός

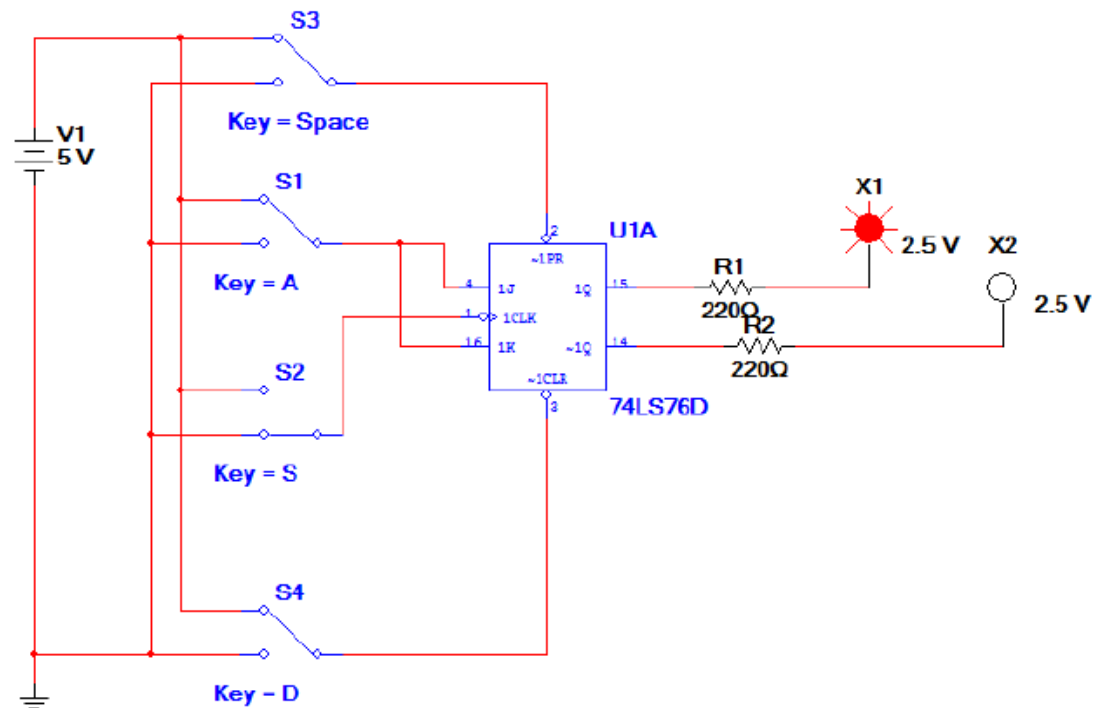


5.4 T FLIP-FLOP

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 4 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
2 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

T	$Q_{(n+1)}$
0	$Q_{(n)}$
1	$\bar{Q}_{(n)}$

ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:
Chip 74LS76//J-K flip-flop
Βραχυκλωμένες εισοδοι
toggle



6. ΑΠΑΡΙΘΜΗΤΕΣ

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 2 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
4 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

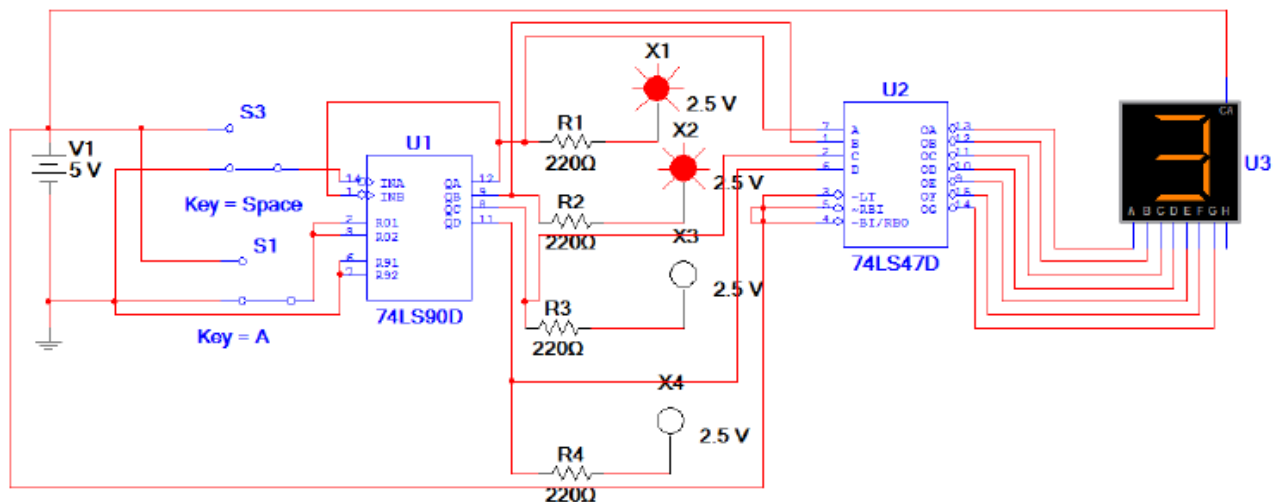
ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:

Chip 74LS90 & 74LS247 & 7 segment display

//BCD counter & Decoder BCDto7segment

Συγχρονισμός

Από binary σε decimal σε απεικόνιση



7. ΚΑΤΑΧΩΡΗΤΗΣ ΟΛΙΣΘΗΣΗΣ

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ: 10 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
4 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

Mode (Λειτουργία)	S1	S2	QA(n+1)	QB(n+1)	QC(n+1)	QD(n+1)
Hold (Διατήρηση)	0	0	QA(n)	QB(n)	QC(n)	QD(n)
Shift Right (Ολίσθηση δεξιά)	0	1	SRSI	QA(n)	QB(n)	QC(n)
Shift Left (Ολίσθηση αριστερά)	1	0	QB(n)	QC(n)	QD(n)	SLSI
Load (Παράλληλη φόρτωση)	1	1	A	B	C	D

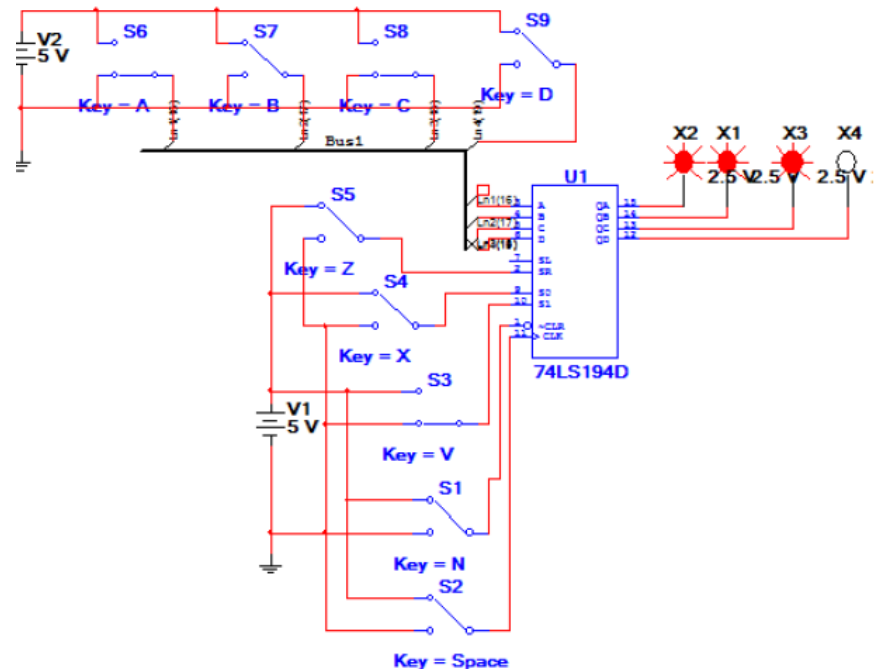
ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :

Chip 74LS194// Shift Register 4 bits

4 λειτουργίες

Διατήρηση, ολίσθηση(L,R),

παράλληλη φόρτωση



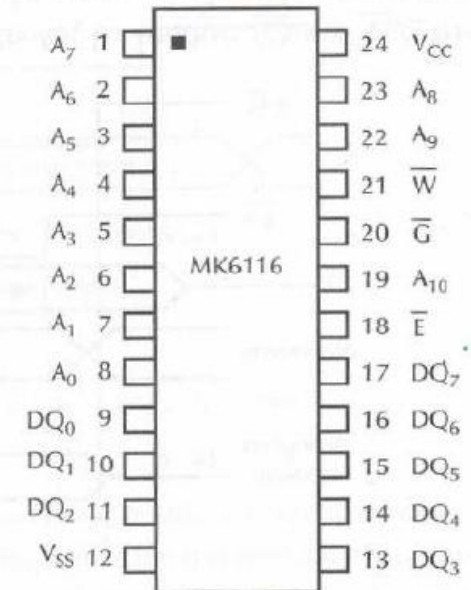
8. ΣΤΑΤΙΚΗ RAM

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ:

30 ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ

8 ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ

A0 . . . A10	ADDRESS INPUTS
DQ ₀ . . . DQ ₇	DATA I/O
\bar{E}	CHIP ENABLE
\bar{G}	OUTPUT ENABLE
\bar{W}	WRITE ENABLE
V _{CC} , V _{SS}	+5V, GND



ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ :

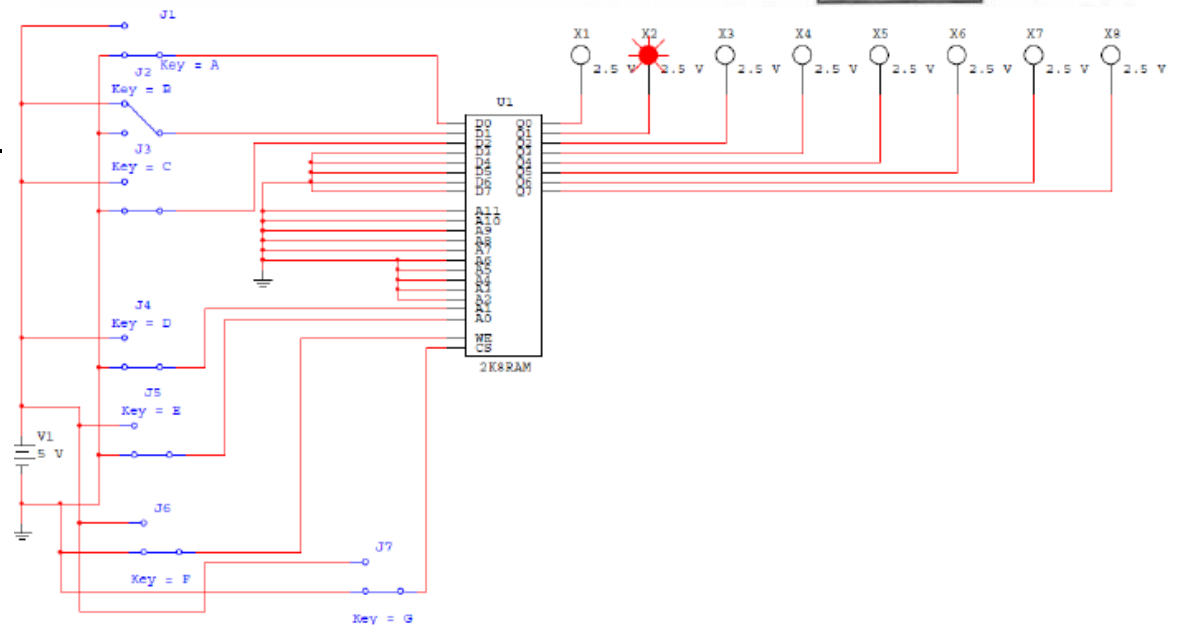
Chip 6116

//Static RAM 2K X 8 bits

Απλοποίηση

(2K X 8 → 8 X 4)

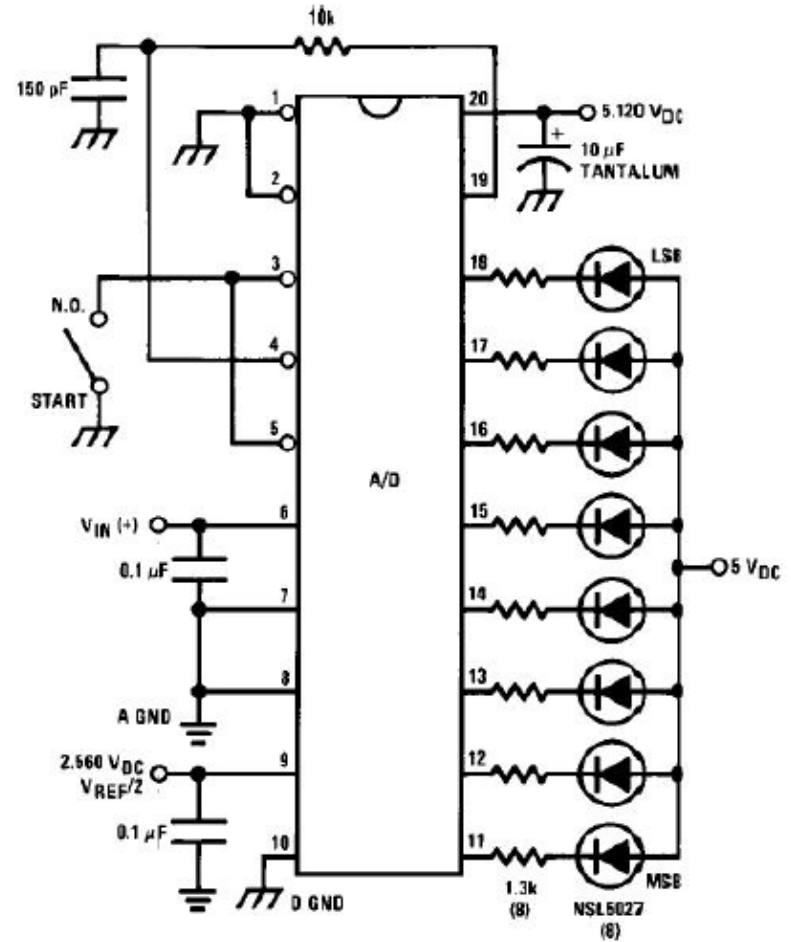
Εγγραφή/ανάγνωση



9. ΜΕΤΑΤΡΟΠΕΙΣ ADC & DAC

9.1 ADC 8 BITS

Αναλογικό (συνεχές) σήμα 0-5 Volt →
Ψηφιακό (διακριτό) σήμα 8 bits

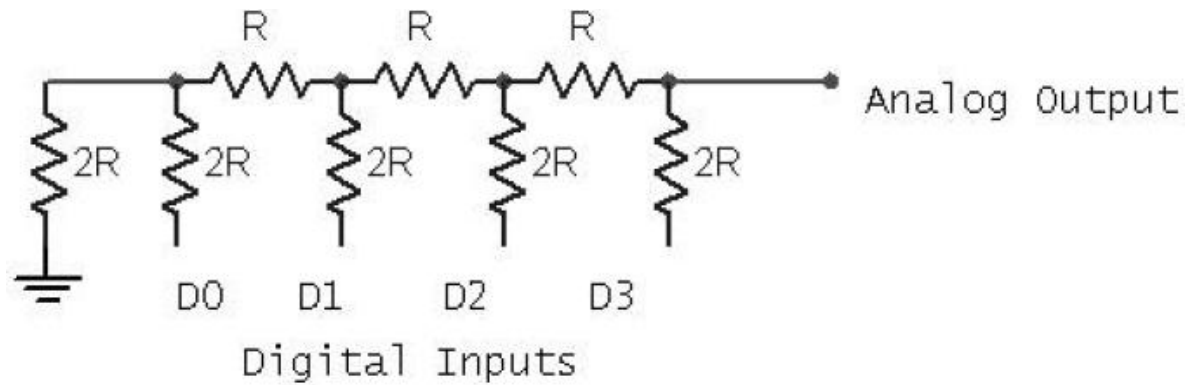


9.2 DAC 4 bits

ΘΕΩΡΗΤΙΚΟ ΜΕΡΟΣ:

4 BIT ΕΙΣΟΔΟΥ

1 ΑΝΑΛΟΓΙΚΗ ΕΞΟΔΟΣ



ΕΡΓΑΣΤΗΡΙΑΚΟ ΜΕΡΟΣ:

Δικτύωμα R2R

